

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2003-069546**

(43)Date of publication of application : **07.03.2003**

(51)Int.Cl.

H04L 7/10

H04B 7/26

H04J 11/00

(21)Application number : **2002-050819**

(71)Applicant : **SONY CORP**

(22)Date of filing : **27.02.2002**

(72)Inventor : **WAKAMATSU MASATAKA**

(30)Priority

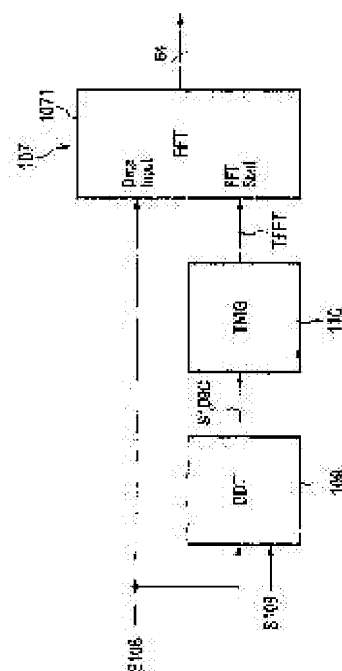
Priority number : **2001182548** Priority date : **15.06.2001** Priority country : **JP**

(54) DEMODULATION TIMING GENERATION CIRCUIT AND DEMODULATOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a demodulation timing generation circuit, which can generate the timing for demodulation of received data in a high precision and accuracy fashion even in various reception situation, and a demodulator using the circuit.

SOLUTION: AGC (automatic gain control) control and frequency offset correction are conducted by a burst detection unit 109 and an amplification gain control unit 111 using a synchronization training signal (burst signal) appended at the beginning of a received signal (packet), and subsequently a detection window period for cross-correlation detection is provided, and peak detection of cross-correlation is conducted within the detection window DW by a timing control unit 110, and data corresponding to the peak location is loaded into a counter 11003, which counts a OFDM symbol section at the last part (back end) of the window. According to this arrangement, an optimal FFT timing can be set, regardless of the situation of transmission paths.



(43)公開日 平成15年3月7日(2003.3.7)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
H 0 4 L 7/10		H 0 4 L 7/10	5 K 0 2 2
H 0 4 B 7/28		H 0 4 J 11/00	Z 5 K 0 4 7
H 0 4 J 11/00		H 0 4 B 7/28	N 5 K 0 6 7

審査請求 未請求 請求項の数61 O L (全 35 頁)

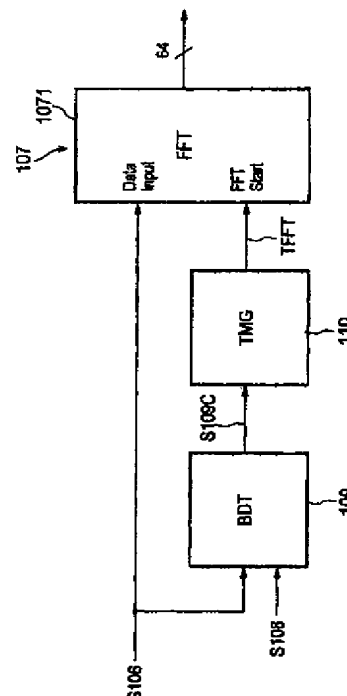
(21)出願番号	特願2002-50819(P2002-50819)	(71)出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22)出願日	平成14年2月27日(2002.2.27)	(72)発明者	若松 正孝 東京都品川区北品川6丁目7番35号 ソニー株式会社内
(31)優先権主張番号	特願2001-182548(P2001-182548)	(74)代理人	100094053 弁理士 佐藤 隆久
(32)優先日	平成13年6月15日(2001.6.15)	Fターム(参考)	5K022 DD01 DD13 DD17 DD23 DD33 DD42 5K047 AA03 BB01 HH15 HH53 JJ02 5K067 AA21 BB02 BB21 DD25 EE02 EE10 EE16 EE72
(33)優先権主張国	日本(JP)		

(54) 【発明の名称】 復調タイミング生成回路および復調装置

(57) 【要約】

【課題】様々な受信状況下であっても、受信データを復調するためのタイミングを高精度で正確に生成できる復調タイミング生成回路およびそれをを用いた復調装置を提供する。

【解決手段】バースト検出部１０９および増幅利得制御部１１１により受信信号（パケット）の先頭に付加されている同期用のトレーニング信号（バースト信号）を用いてＡＧＣ制御と周波数オフセット補正を行い、引き続いて相互相関検出用の検出ウィンドウ期間を設けて、タイミング制御部１１０で検出ウィンドウＤＷ内で相互相関のピーク検出を行い、ウィンドウの最後部（後方端）においてＯＦＤＭシンボル区間をカウントするカウンタ１１００３にピーク位置に対応したデータをロードする。これにより伝送路の状況によらずに、最適なＦＦＴタイミングを設定することが可能となる。



【特許請求の範囲】

【請求項1】 データシンボルの先頭部に同期用トレーニング信号としてのバースト部が付加された受信信号の復調を開始するためのタイミング信号を生成する復調タイミング生成回路であって、

上記受信信号の上記バースト部における相関演算を行うバースト検出部と、

上記相関演算結果に基づいて検出ウィンドウを設定し、当該検出ウィンドウ期間内における相関電力のピークおよび当該ピーク位置を検出するピーク位置検出部と、

上記ピーク位置検出部で検出されたピーク位置から所定時間経過後に、上記タイミング信号を出力する出力部とを有する復調タイミング生成回路。

【請求項2】 上記相関結果のピーク検出のためのウィンドウ幅は可変であり、受信状況に応じた幅に設定される請求項1記載の復調タイミング生成回路。

【請求項3】 上記ピーク位置検出部は、検出する相関値に下限を設け、相関値が当該下限よりも小さい場合には、ピーク検出とみなさない請求項1記載の復調タイミング生成回路。

【請求項4】 上記バースト検出部は、相互相関演算を行い、

上記ピーク位置検出部は、相互相関電力のピークおよび当該ピーク位置を検出する請求項1記載の復調タイミング生成回路。

【請求項5】 上記バースト検出部は、自己相関演算および相互相関演算を行い、

上記ピーク位置検出部は、自己相関演算結果に基づいて検出ウィンドウを設定し、当該検出ウィンドウ期間内における相互相関電力のピークおよび当該ピーク位置を検出する請求項1記載の復調タイミング生成回路。

【請求項6】 データシンボルの先頭部に同期用トレーニング信号としてのバースト部が付加された受信信号の復調を開始するためのタイミング信号を生成する復調タイミング生成回路であって、

上記受信信号の上記バースト部における相関演算を行うバースト検出部と、

上記相関演算結果に基づいて検出ウィンドウを設定し、当該検出ウィンドウ期間内における相関電力のピークおよび当該ピーク位置を検出するピーク位置検出部と、

上記シンボル区間をカウントするカウンタであって、プリセットされたタイミングデータ値をカウントすると上記タイミング信号を出力するカウンタと、

上記ピーク位置検出部で検出されたピーク位置に対応したタイミングデータを上記カウンタにプリセットする位置タイミング変換部とを有する復調タイミング生成回路。

【請求項7】 上記位置タイミング変換部は、検出ウィンドウの後方端とピーク位置の相対的な関係に基づいたタイミングデータを生成し、上記カウンタにプリセット

する請求項6記載の復調タイミング生成回路。

【請求項8】 上記ピーク位置検出部は、ピーク検出を、以前の出力の最大値と今回の相関入力の大小比較により行い、最大値が得られたウィンドウ内のタイミングを記憶することで、検出ウィンドウの最後部でピーク位置を確定させる請求項6記載の復調タイミング生成回路。

【請求項9】 上記ピーク位置検出部は、ピーク検出を、以前の出力の最大値と今回の相関入力の大小比較により行い、最大値が得られたウィンドウ内のタイミングを記憶することで、検出ウィンドウの最後部でピーク位置を確定させる請求項7記載の復調タイミング生成回路。

【請求項10】 上記カウンタは、一度プリセットされると、循環的に1シンボルをカウントし、毎シンボル毎に一定のタイミングで上記タイミング信号を出力する請求項6記載の復調タイミング生成回路。

【請求項11】 上記カウンタは、一度プリセットされると、循環的に1シンボルをカウントし、毎シンボル毎に一定のタイミングで上記タイミング信号を出力する請求項7記載の復調タイミング生成回路。

【請求項12】 上記カウンタはダウンカウンタであり、上記位置タイミング変換部は、上記カウンタが0までカウントダウンした後のロードデータ値を変更する請求項6記載の復調タイミング生成回路。

【請求項13】 上記カウンタはダウンカウンタであり、上記位置タイミング変換部は、上記カウンタが0までカウントダウンした後のロードデータ値を変更する請求項7記載の復調タイミング生成回路。

【請求項14】 上記相関結果のピーク検出のためのウィンドウ幅は可変であり、受信状況に応じた幅に設定される請求項6記載の復調タイミング生成回路。

【請求項15】 上記相関結果のピーク検出のためのウィンドウ幅は可変であり、受信状況に応じた幅に設定される請求項7記載の復調タイミング生成回路。

【請求項16】 上記ピーク位置検出部は、検出する相関値に下限を設け、相関値が当該下限よりも小さい場合には、ピーク検出とみなさない請求項6記載の復調タイミング生成回路。

【請求項17】 上記ピーク位置検出部は、検出する相関値に下限を設け、相関値が当該下限よりも小さい場合には、ピーク検出とみなさない請求項7記載の復調タイミング生成回路。

【請求項18】 上記バースト検出部は、相互相関演算を行い、上記ピーク位置検出部は、相互相関電力のピークおよび当該ピーク位置を検出する請求項6記載の復調タイミング生成回路。

【請求項 19】 上記バースト検出部は、相互相関演算を行い、

上記ピーク位置検出部は、相互相関電力のピークおよび当該ピーク位置を検出する請求項 7 記載の復調タイミング生成回路。

【請求項 20】 上記バースト検出部は、自己相関演算および相互相関演算を行い、

上記ピーク位置検出部は、自己相関演算結果に基づいて検出ウィンドウを設定し、当該検出ウィンドウ期間内における相互相関電力のピークおよび当該ピーク位置を検出する請求項 6 記載の復調タイミング生成回路。

【請求項 21】 上記バースト検出部は、自己相関演算および相互相関演算を行い、

上記ピーク位置検出部は、自己相関演算結果に基づいて検出ウィンドウを設定し、当該検出ウィンドウ期間内における相互相関電力のピークおよび当該ピーク位置を検出する請求項 7 記載の復調タイミング生成回路。

【請求項 22】 データシンボルの先頭部に少なくともブリアンブル信号および当該ブリアンブル信号に後続するリファレンス信号を含むバースト部が付加された受信信号の復調を開始するためのタイミング信号を生成する復調タイミング生成回路であって、

上記受信信号の上記バースト部の前半部であるブリアンブル信号部分で自己相関演算を行い、後半部であるリファレンス信号部分で相互相関演算を行うバースト検出部と、

上記自己相関演算結果に基づいて検出ウィンドウを設定し、当該検出ウィンドウ期間内における上記相互相関電力のピークおよび当該ピーク位置を検出するピーク位置検出部と、

上記ピーク位置検出部で検出されたピーク位置から所定時間経過後に、上記タイミング信号を出力する出力部とを有する復調タイミング生成回路。

【請求項 23】 上記相互相関結果のピーク検出のためのウィンドウ幅は可変であり、受信状況に応じた幅に設定される請求項 22 記載の復調タイミング生成回路。

【請求項 24】 上記ピーク位置検出部は、検出する相互相関値に下限を設け、相互相関値が当該下限よりも小さい場合には、ピーク検出とみなさない請求項 22 記載の復調タイミング生成回路。

【請求項 25】 データシンボルの先頭部に少なくともブリアンブル信号および当該ブリアンブル信号に後続するリファレンス信号を含むバースト部が付加された受信信号の復調を開始するためのタイミング信号を生成する復調タイミング生成回路であって、

上記受信信号の上記バースト部の前半部であるブリアンブル信号部分で自己相関演算を行い、後半部であるリファレンス信号部分で相互相関演算を行うバースト検出部と、

上記自己相関演算結果に基づいて検出ウィンドウを設定

し、当該検出ウィンドウ期間内における上記相互相関電力のピークおよび当該ピーク位置を検出するピーク位置検出部と、

上記シンボル区間をカウントするカウンタであって、プリセットされたタイミングデータ値をカウントすると上記タイミング信号を出力するカウンタと、

上記ピーク位置検出部で検出されたピーク位置に対応したタイミングデータを上記カウンタにプリセットする位置タイミング変換部とを有する復調タイミング生成回路。

【請求項 26】 上記位置タイミング変換部は、検出ウィンドウの後方端とピーク位置の相対的な関係に基づいたタイミングデータを生成し、上記カウンタにプリセットする請求項 25 記載の復調タイミング生成回路。

【請求項 27】 上記ピーク位置検出部は、ピーク検出を、以前の出力の最大値と今回の相互相関入力的大小比較により行い、最大値が得られたウィンドウ内のタイミングを記憶することで、検出ウィンドウの最後部でピーク位置を確定させる請求項 25 記載の復調タイミング生成回路。

【請求項 28】 上記ピーク位置検出部は、ピーク検出を、以前の出力の最大値と今回の相互相関入力的大小比較により行い、最大値が得られたウィンドウ内のタイミングを記憶することで、検出ウィンドウの最後部でピーク位置を確定させる請求項 26 記載の復調タイミング生成回路。

【請求項 29】 上記カウンタは、一度プリセットされると、循環的に 1 シンボルをカウントし、毎シンボル毎に一定のタイミングで上記タイミング信号を出力する請求項 25 記載の復調タイミング生成回路。

【請求項 30】 上記カウンタは、一度プリセットされると、循環的に 1 シンボルをカウントし、毎シンボル毎に一定のタイミングで上記タイミング信号を出力する請求項 26 記載の復調タイミング生成回路。

【請求項 31】 上記カウンタはダウンカウンタであり、上記位置タイミング変換部は、上記カウンタが 0 までカウントダウンした後のロードデータ値を変更する請求項 25 記載の復調タイミング生成回路。

【請求項 32】 上記カウンタはダウンカウンタであり、上記位置タイミング変換部は、上記カウンタが 0 までカウントダウンした後のロードデータ値を変更する請求項 26 記載の復調タイミング生成回路。

【請求項 33】 上記相互相関結果のピーク検出のためのウィンドウ幅は可変であり、受信状況に応じた幅に設定される請求項 25 記載の復調タイミング生成回路。

【請求項 34】 上記相互相関結果のピーク検出のためのウィンドウ幅は可変であり、受信状況に応じた幅に設定される請求項 26 記載の復調タイミング生成回路。

【請求項35】 上記ピーク位置検出部は、検出する相互相関値に下限を設け、相関値が当該下限よりも小さい場合には、ピーク検出とみなさない請求項25記載の復調タイミング生成回路。

【請求項36】 上記ピーク位置検出部は、検出する相互相関値に下限を設け、相互相関値が当該下限よりも小さい場合には、ピーク検出とみなさない請求項26記載の復調タイミング生成回路。

【請求項37】 データシンボルの先頭部に同期用トレーニング信号としてのバースト部が付加されたフレーム同期信号を有する受信信号の復調を開始するためのタイミング信号を生成する復調タイミング生成回路であって、

上記フレーム同期信号の上記バースト部における相関演算を行うバースト検出部と、

期待タイミングを中心として設定した検出ウィンドウ内で、かつ検出しきい値を超えたものにつき上記バースト検出部による相関電力のピーク検出を行い、期待タイミングとピーク検出位置とのずれ量を示す信号を出力するピーク検出回路と、

基準クロックによってフレーム周期をカウントするカウンタであって、セットされるカウント値を動作周期とし、この動作周期に基づいて、上記ピーク検出回路に指示する検出ウィンドウの窓タイミングを生成し、セットされたカウント値に基づく期待タイミングに応じたタイミングで上記タイミング信号を出力するように指示するフレーム周期カウンタと、

上記ピーク検出回路によるフレーム同期のピーク検出結果とフレーム周期カウンタによる同期検出の期待タイミングのずれを平均化し、その結果を補正值として出力する平均化回路と、

上記平均化回路による補正值をもって補正した周期を上記カウント値として上記フレーム周期カウンタにセットする補正值セット回路とを有する復調タイミング生成回路。

【請求項38】 上記ピーク検出回路は、検出ウィンドウ内でピーク検出を行った場合に、そのピーク値が検出しきい値を超えていない場合には相関は未検出と判定し、ずれ量を示す信号を平均化回路に出力しない請求項37記載の復調タイミング生成回路。

【請求項39】 上記ピーク検出回路は、最初にフレーム同期を引き込む場合には、検出ウィンドウを常に開けた状態で相関ピーク検出を行い、最初に検出しきい値を超えた時点を同期検出とみなす請求項37記載の復調タイミング生成回路。

【請求項40】 ピーク検出回路の出力信号を受けて同期検出が行われたか否かを判定し、同期検出が行われた場合に、ピーク検出回路の出力信号によりフレーム周期カウンタの同期検出の期待タイミングのカウント値としてセットさせる同期判定回路を有する請求項39記載の

復調タイミング生成回路。

【請求項41】 上記平均化回路は、積分回路を含み、出力のうちある範囲の上位ビット（整数部）を第1の補正值として、この上位ビットを差し引いた下位ビット

（小数部）部分は符号を含めて積算回路によって毎フレームごとに積算し、そのキャリィ周期に対応して第1の補正值に対してさらに第2の補正值を加えて上記補正值として補正值セットに出力する請求項37記載の復調タイミング生成回路。

【請求項42】 上記バースト検出部は、上記受信信号の上記バースト部の後半部であるリファレンス信号部分で相互相関演算を行う請求項37記載の復調タイミング生成回路。

【請求項43】 データシンボルの先頭部に同期用トレーニング信号としてのバースト部が付加された受信信号を復調する復調装置であって、

上記受信信号の上記バースト部における相関演算を行うバースト検出部と、

上記相関演算結果に基づいて検出ウィンドウを設定し、当該検出ウィンドウ期間内における相関電力のピークおよび当該ピーク位置を検出するピーク位置検出部と、上記ピーク位置検出部で検出されたピーク位置から所定時間経過後に、タイミング信号を出力する出力部と、上記出力部から出力されたタイミング信号を受けて上記受信信号を離散フーリエ変換して復調する復調部とを有する復調装置。

【請求項44】 入力した受信信号レベルを利得制御信号に応じた利得をもって増幅し上記バースト検出部および復調部に出力する自動利得制御増幅部を有し、

上記バースト検出部は、増幅された受信信号の相関演算に基づいてバースト検出を行いバースト同期検出信号を出力し、

上記バースト検出部によるバースト同期検出信号を受けて受信信号電力値に応じた利得をもって増幅するように上記利得制御信号を上記自動利得制御増幅部に出力する増幅利得制御部をさらに含む請求項43記載の復調装置。

【請求項45】 上記受信信号は、直交周波数分割多重変調方式に基づいて変調されている請求項43記載の復調装置。

【請求項46】 データシンボルの先頭部に同期用トレーニング信号としてのバースト部が付加された受信信号を復調する復調装置であって、

上記受信信号の上記バースト部における相関演算を行うバースト検出部と、

上記相関演算結果に基づいて検出ウィンドウを設定し、当該検出ウィンドウ期間内における相関電力のピークおよび当該ピーク位置を検出するピーク位置検出部と、上記シンボル区間をカウントするカウンタであって、ブリセットされたタイミングデータ値をカウントするとタ

イミング信号を出力するカウンタと、
上記ピーク位置検出部で検出されたピーク位置に対応したタイミングデータを上記カウンタにプリセットする位置タイミング変換部と、
上記カウンタから出力されたタイミング信号を受けて上記受信信号を離散フーリエ変換して復調する復調部とを有する復調装置。

【請求項47】 入力した受信信号レベルを利得制御信号に応じた利得をもって増幅し上記バースト検出部および復調部に出力する自動利得制御増幅部を有し、
上記バースト検出部は、増幅された受信信号の相関演算に基づいてバースト検出を行いバースト同期検出信号を出力し、
上記バースト検出部によるバースト同期検出信号を受けて受信信号電力値に応じた利得をもって増幅するように上記利得制御信号を上記自動利得制御増幅部に出力する増幅利得制御部をさらに含む請求項46記載の復調装置。

【請求項48】 上記受信信号は、直交周波数分割多重変調方式に基づいて変調されている請求項46記載の復調装置。

【請求項49】 データシンボルの先頭部に少なくともブリアンブル信号および当該ブリアンブル信号に後続するリファレンス信号を含むバースト部が付加された受信信号を復調する復調装置であって、
上記受信信号の上記バースト部の前半部であるブリアンブル信号部分で自己相関演算を行い、後半部であるリファレンス信号部分で相互相関演算を行うバースト検出部と、
上記自己相関演算結果に基づいて検出ウィンドウを設定し、当該検出ウィンドウ期間内における上記相互相関電力のピークおよび当該ピーク位置を検出するピーク位置検出部と、
上記ピーク位置検出部で検出されたピーク位置から所定時間経過後に、タイミング信号を出力する出力部と、
上記出力部から出力されたタイミング信号を受けて上記受信信号を離散フーリエ変換して復調する復調部とを有する復調装置。

【請求項50】 入力した受信信号レベルを利得制御信号に応じた利得をもって増幅し上記バースト検出部および復調部に出力する自動利得制御増幅部を有し、
上記バースト検出部は、増幅された受信信号の相関演算に基づいてバースト検出を行いバースト同期検出信号を出力し、
上記バースト検出部によるバースト同期検出信号を受けて受信信号電力値に応じた利得をもって増幅するように上記利得制御信号を上記自動利得制御増幅部に出力する増幅利得制御部をさらに含む請求項49記載の復調装置。

【請求項51】 上記受信信号は、直交周波数分割多重

変調方式に基づいて変調されている請求項49記載の復調装置。

【請求項52】 データシンボルの先頭部に少なくともブリアンブル信号および当該ブリアンブル信号に後続するリファレンス信号を含むバースト部が付加された受信信号を復調する復調装置であって、
上記受信信号の上記バースト部の前半部であるブリアンブル信号部分で自己相関演算を行い、後半部であるリファレンス信号部分で相互相関演算を行うバースト検出部と、

上記自己相関演算結果に基づいて検出ウィンドウを設定し、当該検出ウィンドウ期間内における上記相互相関電力のピークおよび当該ピーク位置を検出するピーク位置検出部と、

上記シンボル区間をカウントするカウンタであって、プリセットされたタイミングデータ値をカウントするとタイミング信号を出力するカウンタと、

上記ピーク位置検出部で検出されたピーク位置に対応したタイミングデータを上記カウンタにプリセットする位置タイミング変換部と、

上記カウンタから出力されたタイミング信号を受けて上記受信信号を離散フーリエ変換して復調する復調部とを有する復調装置。

【請求項53】 入力した受信信号レベルを利得制御信号に応じた利得をもって増幅し上記バースト検出部および復調部に出力する自動利得制御増幅部を有し、
上記バースト検出部は、増幅された受信信号の相関演算に基づいてバースト検出を行いバースト同期検出信号を出力し、

上記バースト検出部によるバースト同期検出信号を受けて受信信号電力値に応じた利得をもって増幅するように上記利得制御信号を上記自動利得制御増幅部に出力する増幅利得制御部をさらに含む請求項52記載の復調装置。

【請求項54】 上記受信信号は、直交周波数分割多重変調方式に基づいて変調されている請求項52記載の復調装置。

【請求項55】 データシンボルの先頭部に同期用トレーニング信号としてのバースト部が付加されたフレーム同期信号を有する受信信号の復調を開始するためのタイミング信号を生成する復調装置であって、
上記フレーム同期信号の上記バースト部における相関演算を行うバースト検出部と、
期待タイミングを中心として設定した検出ウィンドウ内で、かつ検出しきい値を超えたものにつき上記バースト検出部による相関電力のピーク検出を行い、期待タイミングとピーク検出位置とのずれ量を示す信号を出力するピーク検出回路と、

基準クロックによってフレーム周期をカウントするカウンタであって、セットされるカウント値を動作周期と

10

20

30

40

50

し、この動作周期に基づいて、上記ピーク検出回路に指示する検出ウィンドウの窓タイミングを生成し、セットされたカウント値に基づく期待タイミングに応じたタイミングで上記タイミング信号を出力するように指示するフレーム周期カウンタと、

上記ピーク検出回路によるフレーム同期のピーク検出結果とフレーム周期カウンタによる同期検出の期待タイミングのずれを平均化し、その結果を補正值として出力する平均化回路と、

上記平均化回路による補正值をもって補正した周期を上記カウント値として上記フレーム周期カウンタにセットする補正值セット回路と、

上記フレーム周期カウンタカウンタから出力された指示の応じたタイミング信号を受けて上記受信信号を離散フーリエ変換して復調する復調部とを有する復調装置。

【請求項56】 上記ピーク検出回路は、検出ウィンドウ内でピーク検出を行った場合に、そのピーク値が検出しきい値を超えていない場合には相関は未検出と判定し、ずれ量を示す信号を平均化回路に出力しない請求項55記載の復調装置。

【請求項57】 上記ピーク検出回路は、最初にフレーム同期を引き込む場合には、検出ウィンドウを常に開けた状態で相関ピーク検出を行い、最初に検出しきい値を超えた時点を同期検出とみなす請求項55記載の復調装置。

【請求項58】 ピーク検出回路の出力信号を受けて同期検出が行われたか否かを判定し、同期検出が行われた場合に、ピーク検出回路の出力信号によりフレーム周期カウンタの同期検出の期待タイミングのカウント値としてセットさせる同期判定回路を有する請求項57記載の復調装置。

【請求項59】 上記平均化回路は、積分回路を含み、出力のうちある範囲の上位ビット（整数部）を第1の補正值として、この上位ビットを差し引いた下位ビット（小数部）部分は符号を含めて積算回路によって毎フレームごとに積算し、そのキャリア周期に対応して第1の補正值に対してさらに第2の補正值を加えて上記補正值として補正值セットに出力する請求項55記載の復調装置。

【請求項60】 上記バースト検出部は、上記受信信号の上記バースト部の後半部であるリファレンス信号部分で相互相関演算を行う請求項55記載の復調装置。

【請求項61】 上記受信信号は、直交周波数分割多重変調方式に基づいて変調されている請求項55記載の復調装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、無線通信システムの受信機等に適用される復調タイミング生成回路および復調装置に係り、特に、たとえば直交周波数分割多重

（OFDM：Orthogonal Frequency Division Multiplexing）変調方式で変調され、この変調パケット信号の先頭にプリアンプル信号を含むバースト信号が付加された無線信号を受信する無線通信システム等に適用される復調タイミング生成回路および復調装置に関するものである。

【0002】

【従来の技術】OFDM変調方式は、一次変調（QPSK、16QAM等）を行った送信信号シンボルを、2のn乗個まとめて逆フーリエ変換することで、周波数軸上にそれぞれ直交する2のn乗本のサブキャリアを構成する変調方式である。

【0003】このようなOFDM変調方式を採用した無線通信システムでは、送信側では、送信データをシリアル・パラレル変換し、逆高速離散フーリエ変換（IFFT）を行うことで直交する多数のサブキャリアの一括変調を行う。送信側では、このようにIFFT処理されたフレーム構造を有する変調信号の先頭にプリアンプル信号と呼ばれる同期用トレーニング信号であるバースト信号を付加して送信している。そして、受信側では、このプリアンプル信号を用いて自動利得制御（AGC：Automatic Gain Control）、周波数オフセット補正、FFT（Fast Fourier Transform：高速離散フーリエ変換）タイミング生成などが行われ、生成されたFFTタイミングに基づいてFFT演算が行われる。

【0004】なお、無線通信システムの受信装置においては、受信信号レベルをA/Dコンバータのダイナミックレンジ内に調整する必要があることから、受信信号レベルをA/Dコンバータのダイナミックレンジ内に調整するための回路として、AGC回路が搭載されている。AGC回路は、バースト信号の期間内にタイミング同期をとる一方、バースト信号の受信レベルに基づいて増幅利得の制御を行う。

【0005】また、OFDM変調方式を採用した無線通信システムの受信装置においては、受信シンボルに対してFFT処理を行うタイミングを最適化することが必要である。FFTタイミングのずれは、シンボル間干渉（ISI）やシンボルの回転につながり、受信性能の劣化につながるからである。

【0006】このFFTタイミングは、上述した送信データの先頭に付加されたプリアンプルと呼ばれるバースト信号（トレーニング信号）を利用して設定される。従来は、このプリアンプル部で自己相関または相互相関回路を用い、相関結果があるしきい値を超えた時点を基準にFFTタイミングを設定していた。

【0007】

【発明が解決しようとする課題】ところで、自己相関は、プリアンプル部に含まれる繰り返し信号間の相関を求めるものである。一方、相互相関は、あらかじめ既知のデータ列と入力データのデータ列の相関を取るものである。

一般的に自己相関は反射やフェーディングに強い反面、ブリアンブル以外のデータや雑音でも相関を示してしまうという弱点がある。一方、相互相関は雑音や無関係なデータに対して相関を検出しないが、大きな受信周波数のずれ、反射やフェーディングなどで受信波形が変化すると、相関のピークが小さくなる傾向がある。

【0008】このように、自己相関や相互相関は伝送路での反射やS/Nなどの影響を受けるため、上述したFFTタイミングの生成にしきい値を用いる方法では、様々な伝送条件で共通に使える低めのしきい値を設定しなければならず、正確なタイミングを検出することが困難であるという不利益があった。

【0009】また、近年標準化された5GHz帯を使用するワイヤレスLANシステムのうち、Wireless 1394やHyperLAN/2では、時間分割多重(TDMA: Time Division Multiple Access)が採用されている。

【0010】TDMA無線通信システムでは、フレーム同期は最も基本的な項目であるが、以下のような課題がある。

【0011】1) 無線通信では、上述したフェーディングの発生等、伝送路の状態の影響で毎フレーム同期検出できるとは限らない。

【0012】2) 上記の5GHz帯のシステムでは、システムを安価にするため、温度補償付の高精度な水晶発振器TCXOではなくクリスタルの使用を前提としている。このため、基地局と移動局の基準周波数のずれは最大40ppmになる。これは、10万クロックで4クロック分ずれることを意味する。フレーム周期にもよるが、このずれをうまく補正しないと簡単にフレーム同期が外れてしまう。

【0013】3) フレーム同期が外れると、再度同期が取れるまで通常数フレーム以上かかることから、その間、大量のデータの送受信が途絶える。ベストエフォートシステムでは再送すればよいが、ある程度QoS(Quality of Service)を保証したい場合には、致命的な問題となる。

【0014】4) Wireless 1394システムでは、Wireless 1394システムとの接続により、さらに大きなばらつき(100ppm)をもったシステムに同期する必要があり、追従性のよいフレーム同期システムが必要である。

【0015】本発明の第1の目的は、様々な受信状況下にあっても、受信データを復調するためのタイミングを高精度で正確に生成できる復調タイミング生成回路およびそれを用いた復調装置を提供することにある。

【0016】本発明の第2の目的は、伝送路の状態が安定でない状況下において、一度確立したフレーム同期を安定に保ち続けることができ、データの送受信が途絶えることを防止でき、追従性と安定度の高い復調タイミン

グ生成回路およびそれを用いた復調装置を提供することにある。

【0017】

【課題を解決するための手段】上記目的を達成するため、本発明の第1の観点は、データシンボルの先頭部に同期用トレーニング信号としてのバースト部が付加された受信信号の復調を開始するためのタイミング信号を生成する復調タイミング生成回路であって、上記受信信号の上記バースト部における相関演算を行うバースト検出部と、上記相関演算結果に基づいて検出ウィンドウを設定し、当該検出ウィンドウ期間内における相関電力のピークおよび当該ピーク位置を検出するピーク位置検出部と、上記ピーク位置検出部で検出されたピーク位置から所定時間経過後に、上記タイミング信号を出力する出力部とを有する。

【0018】また、本発明の第1の観点では、上記相関結果のピーク検出のためのウィンドウ幅は可変であり、受信状況に応じた幅に設定される。

【0019】また、本発明の第1の観点では、上記ピーク位置検出部は、検出する相関値に下限を設け、相関値が当該下限よりも小さい場合には、ピーク検出とみなさない。

【0020】また、本発明の第1の観点では、上記バースト検出部は、相互相関演算を行い、上記ピーク位置検出部は、相互相関電力のピークおよび当該ピーク位置を検出する。

【0021】また、本発明の第1の観点では、上記バースト検出部は、自己相関演算および相互相関演算を行い、上記ピーク位置検出部は、自己相関演算結果に基づいて検出ウィンドウを設定し、当該検出ウィンドウ期間内における相互相関電力のピークおよび当該ピーク位置を検出する。

【0022】本発明の第2の観点は、データシンボルの先頭部に同期用トレーニング信号としてのバースト部が付加された受信信号の復調を開始するためのタイミング信号を生成する復調タイミング生成回路であって、上記受信信号の上記バースト部における相関演算を行うバースト検出部と、上記相関演算結果に基づいて検出ウィンドウを設定し、当該検出ウィンドウ期間内における相関電力のピークおよび当該ピーク位置を検出するピーク位置検出部と、上記シンボル区間をカウントするカウンタであって、プリセットされたタイミングデータ値をカウントすると上記タイミング信号を出力するカウンタと、上記ピーク位置検出部で検出されたピーク位置に対応したタイミングデータを上記カウンタにプリセットする位置タイミング変換部とを有する。

【0023】また、本発明の第2の観点では、上記位置タイミング変換部は、検出ウィンドウの後方端とピーク位置の相対的な関係に基づいたタイミングデータを生成し、上記カウンタにプリセットする。

【0024】また、本発明の第2の観点では、上記ピーク位置検出部は、ピーク検出を、以前の出力の最大値と今回の相関入力的大小比較により行い、最大値が得られたウィンドウ内のタイミングを記憶することで、検出ウィンドウの最後部でピーク位置を確定させる。

【0025】また、本発明の第2の観点では、上記カウンタは、一度プリセットされると、循環的に1シンボルをカウントし、毎シンボル毎に一定のタイミングで上記タイミング信号を出力する。

【0026】また、本発明の第2の観点では、上記カウンタはダウンカウンタであり、上記位置タイミング変換部は、上記カウンタが0までカウントダウンした後のロードデータ値を変更する。

【0027】また、本発明の第2の観点では、上記相関結果のピーク検出のためのウィンドウ幅は可変であり、受信状況に応じた幅に設定される。

【0028】また、本発明の第2の観点では、上記ピーク位置検出部は、検出する相関値に下限を設け、相関値が当該下限よりも小さい場合には、ピーク検出とみなさない。

【0029】また、本発明の第2の観点では、上記バースト検出部は、相互相関演算を行い、上記ピーク位置検出部は、相互相関電力のピークおよび当該ピーク位置を検出する。

【0030】また、本発明の第2の観点では、上記バースト検出部は、自己相関演算および相互相関演算を行い、上記ピーク位置検出部は、自己相関演算結果に基づいて検出ウィンドウを設定し、当該検出ウィンドウ期間内における相互相関電力のピークおよび当該ピーク位置を検出する。

【0031】本発明の第3の観点は、データシンボルの先頭部に少なくともプリアンプル信号および当該プリアンプル信号に後続するリファレンス信号を含むバースト部が付加された受信信号の復調を開始するためのタイミング信号を生成する復調タイミング生成回路であって、上記受信信号の上記バースト部の前半部であるプリアンプル信号部分で自己相関演算を行い、後半部であるリファレンス信号部分で相互相関演算を行うバースト検出部と、上記自己相関演算結果に基づいて検出ウィンドウを設定し、当該検出ウィンドウ期間内における上記相互相関電力のピークおよび当該ピーク位置を検出するピーク位置検出部と、上記ピーク位置検出部で検出されたピーク位置から所定時間経過後に、上記タイミング信号を出力する出力部とを有する。

【0032】また、本発明の第3の観点では、上記相互相関結果のピーク検出のためのウィンドウ幅は可変であり、受信状況に応じた幅に設定される。

【0033】また、本発明の第3の観点では、上記ピーク位置検出部は、検出する相互相関値に下限を設け、相互相関値が当該下限よりも小さい場合には、ピーク検出

とみなさない。

【0034】本発明の第4の観点は、データシンボルの先頭部に少なくともプリアンプル信号および当該プリアンプル信号に後続するリファレンス信号を含むバースト部が付加された受信信号の復調を開始するためのタイミング信号を生成する復調タイミング生成回路であって、上記受信信号の上記バースト部の前半部であるプリアンプル信号部分で自己相関演算を行い、後半部であるリファレンス信号部分で相互相関演算を行うバースト検出部と、上記自己相関演算結果に基づいて検出ウィンドウを設定し、当該検出ウィンドウ期間内における上記相互相関電力のピークおよび当該ピーク位置を検出するピーク位置検出部と、上記シンボル区間をカウントするカウンタであって、プリセットされたタイミングデータ値をカウントすると上記タイミング信号を出力するカウンタと、上記ピーク位置検出部で検出されたピーク位置に対応したタイミングデータを上記カウンタにプリセットする位置タイミング変換部とを有する。

【0035】また、本発明の第4の観点では、上記位置タイミング変換部は、検出ウィンドウの後方端とピーク位置の相対的な関係に基づいたタイミングデータを生成し、上記カウンタにプリセットする。

【0036】また、本発明の第4の観点では、上記ピーク位置検出部は、ピーク検出を、以前の出力の最大値と今回の相互相関入力的大小比較により行い、最大値が得られたウィンドウ内のタイミングを記憶することで、検出ウィンドウの最後部でピーク位置を確定させる。

【0037】また、本発明の第4の観点では、上記カウンタは、一度プリセットされると、循環的に1シンボルをカウントし、毎シンボル毎に一定のタイミングで上記タイミング信号を出力する。

【0038】また、本発明の第4の観点では、上記カウンタはダウンカウンタであり、上記位置タイミング変換部は、上記カウンタが0までカウントダウンした後のロードデータ値を変更する。

【0039】また、本発明の第4の観点では、上記相互相関結果のピーク検出のためのウィンドウ幅は可変であり、受信状況に応じた幅に設定される。

【0040】また、本発明の第4の観点では、上記ピーク位置検出部は、検出する相互相関値に下限を設け、相関値が当該下限よりも小さい場合には、ピーク検出とみなさない。

【0041】本発明の第5の観点は、データシンボルの先頭部に同期用トレーニング信号としてのバースト部が付加されたフレーム同期信号を有する受信信号の復調を開始するためのタイミング信号を生成する復調タイミング生成回路であって、上記フレーム同期信号の上記バースト部における相関演算を行うバースト検出部と、期待タイミングを中心として設定した検出ウィンドウ内で、かつ検出しきい値を超えたものにつき上記バースト検出

部による相関電力のピーク検出を行い、期待タイミングとピーク検出位置とのずれ量を示す信号を出力するピーク検出回路と、基準クロックによってフレーム周期をカウントするカウンタであって、セットされるカウント値を動作周期とし、この動作周期に基づいて、上記ピーク検出回路に指示する検出ウィンドウの窓タイミングを生成し、セットされたカウント値に基づく期待タイミングに応じたタイミングで上記タイミング信号を出力するように指示するフレーム周期カウンタと、上記ピーク検出回路によるフレーム同期のピーク検出結果とフレーム周期カウンタによる同期検出の期待タイミングのずれを平均化し、その結果を補正值として出力する平均化回路と、上記平均化回路による補正值をもって補正した周期を上記カウント値として上記フレーム周期カウンタにセットする補正值セット回路とを有する。

【0042】本発明の第5の観点では、上記ピーク検出回路は、検出ウィンドウ内でピーク検出を行った場合に、そのピーク値が検出しきい値を超えていない場合には相関は未検出と判定してずれ量を示す信号を平均化回路に出力しない。

【0043】本発明の第5の観点では、上記ピーク検出回路は、最初にフレーム同期を引き込む場合には、検出ウィンドウを常に開けた状態で相関ピーク検出を行い、最初に検出しきい値を超えた時点を同期検出とみなす。

【0044】本発明の第5の観点では、ピーク検出回路の出力信号を受けて同期検出が行われたか否かを判定し、同期検出が行われた場合に、ピーク検出回路の出力信号によりフレーム周期カウンタの同期検出の期待タイミングのカウント値としてセットさせる同期判定回路を有する。

【0045】本発明の第5の観点では、上記平均化回路は、積分回路を含み、出力のうちある範囲の上位ビット（整数部）を第1の補正值として、この上位ビットを差し引いた下位ビット（小数部）部分は符号を含めて積算回路によって毎フレームごとに積算し、そのキャリイ周期に対応して第1の補正值に対してさらに第2の補正值を加えて上記補正值として補正值セットに出力する。

【0046】好適には、上記バースト検出部は、上記受信信号の上記バースト部の後半部であるリファレンス信号部分で相互相関演算を行う。

【0047】本発明の第6の観点は、データシンボルの先頭部に同期用トレーニング信号としてのバースト部が付加された受信信号を復調する復調装置であって、上記受信信号の上記バースト部における相関演算を行うバースト検出部と、上記相関演算結果に基づいて検出ウィンドウを設定し、当該検出ウィンドウ期間内における相関電力のピークおよび当該ピーク位置を検出するピーク位置検出部と、上記ピーク位置検出部で検出されたピーク位置から所定時間経過後に、タイミング信号を出力する出力部と、上記出力部から出力されたタイミング信号を

受けて上記受信信号を離散フーリエ変換して復調する復調部とを有する。

【0048】本発明の第7の観点は、データシンボルの先頭部に同期用トレーニング信号としてのバースト部が付加された受信信号を復調する復調装置であって、上記受信信号の上記バースト部における相関演算を行うバースト検出部と、上記相関演算結果に基づいて検出ウィンドウを設定し、当該検出ウィンドウ期間内における相関電力のピークおよび当該ピーク位置を検出するピーク位置検出部と、上記シンボル区間をカウントするカウンタであって、プリセットされたタイミングデータ値をカウントするとタイミング信号を出力するカウンタと、上記ピーク位置検出部で検出されたピーク位置に対応したタイミングデータを上記カウンタにプリセットする位置タイミング変換部と、上記カウンタから出力されたタイミング信号を受けて上記受信信号を離散フーリエ変換して復調する復調部とを有する。

【0049】本発明の第8の観点は、データシンボルの先頭部に少なくともブリアンブル信号および当該ブリアンブル信号に後続するリファレンス信号を含むバースト部が付加された受信信号を復調する復調装置であって、上記受信信号の上記バースト部の前半部であるブリアンブル信号部分で自己相関演算を行い、後半部であるリファレンス信号部分で相互相関演算を行うバースト検出部と、上記自己相関演算結果に基づいて検出ウィンドウを設定し、当該検出ウィンドウ期間内における上記相互相関電力のピークおよび当該ピーク位置を検出するピーク位置検出部と、上記ピーク位置検出部で検出されたピーク位置から所定時間経過後に、タイミング信号を出力する出力部と、上記出力部から出力されたタイミング信号を受けて上記受信信号を離散フーリエ変換して復調する復調部とを有する。

【0050】本発明の第9の観点は、データシンボルの先頭部に少なくともブリアンブル信号および当該ブリアンブル信号に後続するリファレンス信号を含むバースト部が付加された受信信号を復調する復調装置であって、上記受信信号の上記バースト部の前半部であるブリアンブル信号部分で自己相関演算を行い、後半部であるリファレンス信号部分で相互相関演算を行うバースト検出部と、上記自己相関演算結果に基づいて検出ウィンドウを設定し、当該検出ウィンドウ期間内における上記相互相関電力のピークおよび当該ピーク位置を検出するピーク位置検出部と、上記シンボル区間をカウントするカウンタであって、プリセットされたタイミングデータ値をカウントするとタイミング信号を出力するカウンタと、上記ピーク位置検出部で検出されたピーク位置に対応したタイミングデータを上記カウンタにプリセットする位置タイミング変換部と、上記カウンタから出力されたタイミング信号を受けて上記受信信号を離散フーリエ変換して復調する復調部とを有する。

【0051】また、本発明では、入力した受信信号レベルを利得制御信号に応じた利得をもって増幅し上記バースト検出部および復調部に出力する自動利得制御増幅部を有し、上記バースト検出部は、増幅された受信信号の相関演算に基づいてバースト検出を行いバースト同期検出信号を出力し、上記バースト検出部によるバースト同期検出信号を受けて受信信号電力値に応じた利得をもって増幅するように上記利得制御信号を上記自動利得制御増幅部に出力する増幅利得制御部をさらに含む。

【0052】また、本発明では、上記受信信号は、直交周波数分割多重変調方式に基づいて変調されている。

【0053】本発明の第10の観点は、データシンボルの先頭部に同期用トレーニング信号としてのバースト部が付加されたフレーム同期信号を有する受信信号の復調を開始するためのタイミング信号を生成する復調装置であって、上記フレーム同期信号の上記バースト部における相関演算を行うバースト検出部と、期待タイミングを中心として設定した検出ウィンドウ内で、かつ検出しきい値を超えたものにつき上記バースト検出部による相関電力のピーク検出を行い、期待タイミングとピーク検出位置とのずれ量を示す信号を出力するピーク検出回路と、基準クロックによってフレーム周期をカウントするカウンタであって、セットされるカウント値を動作周期とし、この動作周期に基づいて、上記ピーク検出回路に指示する検出ウィンドウの窓タイミングを生成し、セットされたカウント値に基づく期待タイミングに応じたタイミングで上記タイミング信号を出力するように指示するフレーム周期カウンタと、上記ピーク検出回路によるフレーム同期のピーク検出結果とフレーム周期カウンタによる同期検出の期待タイミングのずれを平均化し、その結果を補正值として出力する平均化回路と、上記平均化回路による補正值をもって補正した周期を上記カウント値として上記フレーム周期カウンタにセットする補正值セット回路と、上記フレーム周期カウンタカウンタから出力された指示の応じたタイミング信号を受けて上記受信信号を離散フーリエ変換して復調する復調部とを有する。

【0054】本発明によれば、増幅利得制御部より利得制御信号が自動利得制御増幅部に出力されて、自動利得制御増幅部の増幅利得が所定の利得に設定される。この状態において、受信信号の入力待ち状態となる。このような状態において、まず、受信信号が自動利得制御増幅部に入力される。そして、バースト検出部において、通信システムの定めた周期のバースト信号の検出が行われ、まず、自己相関演算に基づいてプリアンブル信号が検出され、検出したことを示すバースト同期検出信号が生成されて、増幅利得制御部に出力される。

【0055】増幅利得制御部では、バースト検出部によるバースト同期検出信号を受けて、受信信号電力値に基づいて利得が計算されて、利得制御信号が計算値に設定

される。この利得制御信号は、自動利得制御増幅部に供給される。自動利得制御増幅部では、利得制御信号を受けて、利得が計算値である第2の利得に設定される。自動利得制御増幅部では、たとえば受信信号のプリアンブル信号およびリファレンス区間が受信信号レベルに応じた利得をもって増幅される。バースト検出部では、増幅された受信信号の相関（自己相関および相互相関）演算が行われる。このとき、バースト信号の後半部のリファレンス信号で相互相関がとられる。また、バースト検出部においては、自己相関結果に基づいて、ピーク位置検出部のピーク検出を行うための検出ウィンドウが生成され、ピーク位置検出部に設定される。そして、相互相関結果である相互相関電力がピーク位置検出部に供給される。

【0056】ピーク位置検出部では、この検出ウィンドウ内の相互相関結果である相互相関電力値の最大値とその時の位置が求められる。ただし、ここでは、検出ウィンドウの最後のところで検出ウィンドウ内でのピークがどこだったかを示す位置情報しか得られない。次いで、位置タイミング変換部において、ピーク位置検出部により得られた位置情報が時間軸上のタイミングに変換され、変換データに基づいて1シンボルをカウントするカウンタが最適なタイミング信号を発生（出力）し得るデータが、カウンタにプリセットされる。一度プリセットされたカウンタは、循環的に1シンボルの期間をカウントしつつ、毎シンボルごとに一定のタイミングでタイミング信号を出し続ける。そして、プリセットデータがたとえばダウンカウントされた時点でFFTタイミング信号が復調部に出力される。復調部では、タイミング信号に同期して高速離散フーリエ変換され、OFDM信号が復調される。

【0057】また、本発明によれば、たとえばフレーム同期検出を同期パターンの相互相関を使って求める際に、相関値が一定レベル以下の時は相関値のピーク検出結果が無視され、一定以上の相関値であれば、そのタイミングを使用してフレーム同期用のカウンタが直接リタイミングされると共に平均化されて、フレーム周期カウンタが補正される。これにより、追従性と安定度の高い同期が得られる。

【0058】

【発明の実施の形態】以下、本発明の好適な実施の形態を、図面に関連付けて説明する。

【0059】第1実施形態

図1は、本発明に係るFFTタイミング生成回路を適用したバースト同期復調装置の第1の実施形態を示すブロック構成図である。

【0060】本バースト同期復調装置10は、図1に示すように、自動利得制御増幅部（AGCAMP）101、受信信号電力観測部（POW）102、A/Dコンバータ（ADC）103、デジタル/アナログ（D/

A) コンバータ(DAC)104、A/Dコンバータ(ADC)105、受信信号処理部(RXPRC)106、OFDM復調部(DEMOD)107、遅延部(DLY)108、バースト検出部(BDT)109、タイミング制御部(TMG)110、および増幅利得制御部(AGCTL)111を主構成要素として有している。

【0061】以下、本実施形態において採用するバースト同期通信システムの自動利得制御システム、送信(受信)信号、FFTタイミングの最適化の概要、および図1のバースト同期復調装置10の各構成要素の具体的な構成および機能について、順を追って説明する。

【0062】まず、5GHz帯無線LANシステムのバースト同期復調装置の自動利得制御システムについて説明する。

【0063】5GHz帯無線LANシステムは、広帯域にわたって優れた通信性能を実現するため、OFDM変調方式が採用されている。OFDM変調方式は、ゴーストおよびマルチパスに対する強度が大きい反面、回路のノンリニアリティ(非線形性)に対する強度が弱い。このため、A/Dコンバータ等の歪が生じると、受信信号品質の著しい劣化を招いてしまう。このため、5GHz帯無線LANシステムでは、フレーム構造を有する変調信号の先頭にプリアンプル信号と呼ばれる10~20μ秒のバースト信号を挿入し、この区間内でタイミング同期をとる一方、A/Dコンバータ103に入力される信号の電圧振幅を歪みの生じない信号許容範囲内にレベル補足する必要がある。

【0064】また、プリアンプル信号の後半の数μ秒には、リファレンス信号と呼ばれる伝送路の周波数特性を観測し、プリアンプル信号に続くデータ信号(実際の通信データ)を補正するための基準信号が入っている。リファレンス信号とデータ信号では、A/Dコンバータ103から出力されたデジタル信号のレベルを変動することは許されず、自動利得制御増幅部101の利得を一定に保つ必要がある。したがって、5GHz帯無線LANシステムでは、10μ秒の時間で、歪みの生じない信号許容範囲内にレベル補足する高速かつ高性能の自動利得増幅方式が必要となる。本実施形態では、後述するように、上記のプリアンプル区間内で行う高速かつ高性能なレベル補足を実現するため、3段階のレベル補足を行う。

【0065】5GHz帯無線LANシステムとしては、代表的なものに次の3つのシステムがある。

- ① IEEE 802.11a、
- ② BRAN、
- ③ Wireless 1394。

【0066】図2はIEEE802.11aシステムの代表的なプリアンプル信号を示す図、図3はBRANシステムの代表的なプリアンプル信号を示す図、図4はWireless 1394システムの代表的なプリアンプ

ル信号を示す図である。

【0067】図2~図4に示す各システムのプリアンプル信号において、A16、B16等は、パターンの識別とバースト周期を表し、IA16は、A16の位相反転したパターンを表している。また、C64はリファレンス信号を表しており、C16およびC32はこのガードインターバル部を示している。

【0068】IEEE802.11aでは、パターンB16が10回繰り返されているのに対して、BRANでは最初の5周期が異なる(A16、IA16、A16、IA16、IA16)。また、Wireless 1394では10周期全てが異なるパターンとなっている。具体的には、A16、IA16、A16、IA16、A16、A16、IA16、A16、IA16、IA16のパターンとなっている。

【0069】また、Wireless 1394システムでは、同期転送モードをサポートしているため、映像信号などの連続した信号を通信することができる。しかしながら、長期間におよぶデータ信号を通信しているとマルチパス環境下では受信信号先頭のプリアンプル信号でのリファレンス信号の受信時の伝送特性から伝送特性が変化していき、受信性能が劣化している。このため、一定期間以上のデータ信号区間には、図5に示すように、リファレンス信号REFを挿入している。これにより、このリファレンス信号ごとに伝送特性を測定し直し、受信性能の劣化を防いでいる。

【0070】また、図6は、Wireless 1394システムにおけるフレーム構造を示す図である。Wireless 1394システムでは、基地局やハブ(Hub)となる局を基準として4m秒(ms)を1フレームとして定義している。Wireless 1394システムのようにTDMAシステムの多くはこのようにフレーム構造を採用しており、図6に示すように、フレーム内を幾つかの領域に分けて使用している。

【0071】具体的には、1フレームには、図6に示すように、フレームの先頭側から「フレーム・スタート・パケットFSP(Frame Start Packet)」、サイクル・リポート・パケットSRP(Cycle Report Packet)、「ステーション・シンク・パケットSSP(Station Sync Packet)」、「アイソクロナス・パケット・エリアIPC(Isochronous Packet Area)」、「アシンクロナス・パケット・エリアAPC(Asynchronous Packet Area)」、および「ギャップ(gap)」の各領域に区分けされている。そして、プリアンプル信号は、先頭のフレーム・スタート・パケットFSPに配置される。

【0072】上記のようなバースト信号に対しては、受信レベルの最適化(AGC)、受信周波数ずれの補正、同期の検出を短時間に行う必要がある。本実施形態では、後述するように、受信開始の時点(バースト検出開始時)は自動利得制御増幅部101の利得レベルは最大

にして待ち受けを行っており、信号を検出すると一定期間の入力信号の大きさ（受信信号電力）を計測し、その結果に基づいて前段の自動利得制御増幅部101の利得レベルを調整する。次に、受信周波数ずれの検出と補正が行われる。周波数ずれの検出は自己相関を用いて行う。相関器の出力は繰り返し周期での位相回転に相当することを利用する。同期の検出は、自己相関または相互相関を用いて行う。検出された同期タイミングをもとにOFDMデータシンボルに対するFFTタイミングを決定する。

【0073】OFDMデータシンボルSYBLでは、図7(A)、(B)に示すように、データ部の前にそのデータの最後の部分を繰り返すガードインターバルGIを付加する手法（Cyclic Extension法）が用いられる。これはマルチパスなどによるシンボル間干渉を最小限に抑えるためである。この例では、3.2μsのデータ部分に0.4μsガードインターバルが付加され、1シンボルの長さは3.6μsとなっている。

【0074】図8(A)～(D)は、このような場合のFFTへのデータ取り込みタイミングについての例を示す図である。図8(B)の例は、FFTへのデータの取り込みのタイミングが早すぎる場合である。この例では、マルチパスによる遅延波が存在する場合、1つ前のシンボルのデータがFFT範囲内にかぶり（重なり）、シンボル間干渉による劣化が生じる可能性がある。一方、図8(C)の例は、FFTへのデータの取り込みのタイミングが遅すぎる場合である。この例のように、シンボルの最後方をFFTに取り込む設定にすると、FFTタイミングが何らかの原因で後方にずれた場合、やはりシンボル間干渉による劣化につながってしまう。そこで、通常は図8(D)に示すようなタイミングに設定する。

【0075】以上からわかるように、FFTタイミングを最適に設定することは、OFDMを用いた無線通信システムの受信装置においては重要である。本発明に係るFFTタイミングの設定方法の概要を以下に述べる。

【0076】まず、プリアンプの前半部を検出し、AGCおよび周波数ずれの補正を行う。ここで、後半部分で相互相関をとるための検出ウィンドウを生成する。このウィンドウの設定には、たとえばプリアンプ前半部の自己相関検出結果を使うことができる。自己相関検出で十分な同期タイミング捕捉はできないことから、このウィンドウは十分なマージンを見込んで設定する。

【0077】このウィンドウ内で相互相関出力のピークサーチを行う。ピークサーチは、それまでの出力の最大値と今回の入力の大小比較により行う。最大値が得られたウィンドウ内のタイミングを記憶しておくことで、ウィンドウの最後でピーク位置が確定する。相互相関のピークは、入力信号と期待値信号が時間軸上で一致した時に得られるので、これをもとにFFTタイミングを生成

すれば、最適な動作を行うことができる。ただし、この方法では、ウィンドウの最後のところでウィンドウ内でのピークがどこだったかを示す位置情報しか得られない。そこで次のような方法でこれを時間軸上のタイミングに変換する。

【0078】まず、1シンボルをカウントするカウンタを用意する。このカウンタがある値になったときにFFTタイミング信号TFFTを発生するものとする。相互相関のピーク位置と最適なFFTタイミングの関係はあらかじめ分かっているので、検出ウィンドウの後方端（エッジ）とピーク位置の相対的な関係がわかれば、1シンボルカウンタの値を検出ウィンドウの後方エッジにおいて最適にプリセットすることができる。一度プリセットされたカウンタは、循環的に1シンボルの期間をカウントしつつ、毎シンボルごとに一定のタイミングでFFTタイミングを出し続ける。

【0079】以上のように変調信号の先頭にプリアンプ信号と呼ばれる10～20μ秒の信号を含むバースト信号部が挿入されて受信信号を最適なFFTタイミングで復調する復調装置の各構成要素は、以下のような構成および機能を有する。

【0080】自動利得制御増幅部101は、図示しないアンテナで受信された受信信号RSをDAC104を介して供給される増幅利得制御部111による利得制御信号V_{agc}のレベルに基づいて自動利得制御し、所望レベルの信号RXとしてA/Dコンバータ103に出力する。なお、自動利得制御増幅部101では、増幅利得制御部111による利得制御信号V_{agc}により自動利得制御を行う場合と制御利得を固定する場合に制御される。

【0081】図9は、自動利得制御増幅部101の具体的な構成を示す回路図である。自動利得制御増幅部101は、図9に示すように、利得制御増幅器(GCA)1011、局部発振器1012、乗算器1013、増幅器1014、および帯域幅が数十MHzの帯域通過フィルタ(BPF)1015を有する。これらの構成要素のうち局部発振器1012および乗算器1013により周波数変換回路が構成されている。局部発振器1012は、たとえばキャリア周波数 f_{c_0} の信号 $e[j2\pi f_{c_0}t]$ を乗算器1013に出力する。ただし、 $[\]$ は e のべき乗を示している。

【0082】図9の自動利得制御増幅部101では、受信信号(IF入力信号)RSは、利得制御増幅器1011により利得制御信号V_{agc}により定まる利得をもって増幅し、局部発振器1012および乗算器1013からなる周波数変換回路により周波数変換した後、BPF1015で帯域制限して、出力信号(IF出力)RXを得る。

【0083】また、図10は、図9の利得制御増幅器1011の利得制御特性を示す図である。図10において、横軸が利得制御信号V_{agc}を、縦軸が利得をそれぞれ

れ示している。この例では、図10に示すように、利得制御増幅器1011は、利得制御信号 V_{aqc} が0V～1Vの範囲で利得は0～80dBまでリニア（線形）に変化している。すなわち、この例では、制御利得範囲は80dBである。

【0084】受信信号電力観測部102は、図9に示すように尖頭値検波回路としてのピーク検出回路(Peak Det)1021を含み、受信信号RSのピーク電圧を測定し、入力される受信信号レベルに応じた値をとる電圧信号である電界強度信号RSSIに変換してA/Dコンバータ105に出力する。ここでは、急激な信号変化に対応するため、平均値ではなく尖頭値を検波する。なお、バースト検出開始時にリセット信号を与え、ピーク検出回路(Peak Det)1021をリセットし、それ以降の最大ピーク値を観測するようにする。

【0085】図11は、受信信号の入力レベルに対する受信信号電力観測部102の出力特性を示す図である。図11において、横軸が入力レベルを、縦軸が電界強度信号RSSIの電圧をそれぞれ示している。この例では、図11に示すように、入力レベルが-70dBV～-20dBVの範囲で電界強度信号RSSIの電圧は0V～2Vまでリニア（線形）に変化している。

【0086】A/Dコンバータ103は、自動利得制御増幅部101から出力されたアナログ受信信号RXをデジタル信号に変換し、デジタル受信信号RXDとして受信信号処理部106に出力する。

【0087】D/Aコンバータ104は、増幅利得制御部111で発生される利得制御信号 V_{aqc} をデジタル信号からアナログ信号に変換して自動制御利得増幅部101に出力する。

*30 【数1】

$$\begin{aligned}bb_re &= if \times \cos(2\pi f_c t) \\bb_im &= if \times \sin(2\pi f_c t) \quad \dots (1)\end{aligned}$$

【0093】LPF1062および1063は、たとえば直線位相FIR（Finite Impulse Response: 有限インパルス応答）のトランスバーサル型回路構成を有する。

【0094】LPF1062は、ベースバンド信号 bb_re の入力ラインに対して縦続接続されシフトレジスタを構成する $(n-1)$ 個の遅延器 $1re-1 \sim 1re-n-1$ と、入力されたベースバンド信号 bb_re および各遅延器 $1re-1 \sim 1re-n-1$ の出力信号に対してそれぞれフィルタ係数 $h(0) \sim h(n-1)$ を乗算する n 個の乗算器 $2re-1 \sim 2re-n$ と、 n 個の乗算器 $2re-1 \sim 2re-n$ の出力信号を加算してダウンコンバート回路1064に出力する加算器 $3re$ により構成されている。

【0095】LPF1063は、ベースバンド信号 bb_im の入力ラインに対して縦続接続されシフトレジスタを構成する $(n-1)$ 個の遅延器 $1im-1 \sim 1im-n-1$ と、入力されたベースバンド信号 bb_im および各遅延器 $1im-1 \sim 1im-n-1$ の出力信号に対し

*【0088】A/Dコンバータ105は、受信信号電力観測部102から出力された電界強度信号RSSIをアナログ信号からデジタル信号RSSIDに変換して増幅利得制御部111に出力する。

【0089】受信信号処理部106は、デジタル受信信号RXDをベースバンド信号 bb_re （実部）および bb_im （虚部）に変換し、ベースバンド信号のサンプリング周波数を低い周波数に変換し（ダウンサンプリングを行い）、バースト検出部109による誤差検出周波数 Δf に基づいて複素乗算を行って周波数オフセットの補正を行って、信号S106（ sy_re および sy_im ）を生成し、OFDM復調部107、遅延部108、およびバースト検出部109に出力する。

【0090】図12は、図1の受信信号処理部106の具体的な構成例を示す回路図である。本受信信号処理部106は、図12に示すように、ベースバンド変換回路1061、デジタルローパスフィルタ（LPF）1062、1063、ダウンコンバート回路1064、1065、および周波数オフセット補正回路1066により構成されている。

【0091】ベースバンド変換回路1061は、局部発振器10611および乗算器10612、10613により構成されている。ベースバンド変換回路1061では、受信信号RXD（ if ）に乗算器10612、10613においてキャリア周波数 f_c を乗算することで、式（1）に示すように、入力受信信号RXD（ if ）がベースバンド信号 bb_re 、 bb_im に変換され、それぞれLPF1062、1063に供給される。

【0092】

てそれぞれフィルタ係数 $h(0) \sim h(n-1)$ を乗算する n 個の乗算器 $2im-1 \sim 2im-n$ と、 n 個の乗算器 $2im-1 \sim 2im-n$ の出力信号を加算してダウンコンバート回路1065に出力する加算器 $3im$ により構成されている。

【0096】これらLPF1062、1063、およびダウンコンバート回路1064、1065によりベースバンド信号 bb_re 、 bb_im のサンプリング周波数を、たとえば100MHzから25MHzの信号 dc_re 、 dc_im に変換する。このときLPF1062、1063は、ベースバンド信号 bb_re 、 bb_im の帯域を制限して隣接キャリアが折り返らないようにしている。また、ダウンコンバート回路1064、1065におけるダウンサンプリングのタイミングは、信号 En の供給を受けてクロックを間引いている。

【0097】周波数オフセット補正回路1066は、局部発振器10661、乗算器10662～10665、および加算器10666、10667により構成されて

いる。

【0098】周波数オフセット補正回路1066は、バースト検出部109より与えられる誤差検出周波数 Δf を局部発振器10661の発振出力に反映させ、この発振出力と信号 dc_re とを乗算器10662、10665で複素乗算し、発振出力と信号 dc_im とを乗算器10663、10664で複素乗算し、加算器10666で乗算器10662と乗算器10663の出力を加*

$$sy_re = dc_re \times \cos(2\pi f_{c_w} t) + dc_im \times \sin(2\pi f_{c_w} t) \quad \dots (2)$$

【0100】

※ ※ 【数3】

$$sy_im = dc_im \times \cos(2\pi f_{c_w} t) - dc_re \times \sin(2\pi f_{c_w} t) \quad \dots (3)$$

【0101】OFDM復調部107は、受信信号処理部106の出力信号S106、すなわち信号 sy_re および sy_im を、図1および図13に示すように、タイミング制御部110により供給されるFFTタイミング信号TFFTに同期してFFT処理部1071において高速離散フーリエ変換してOFDM信号を復調し、次段の処理回路に出力する。

【0102】遅延部108は、受信信号処理部106の出力信号S106、すなわち信号 sy_re および sy_im を、バースト検出のためにバースト周期分遅延させ、信号S108としてバースト検出部109に出力する。なお、IEEE802.11aシステムのバースト検出では、遅延部108の遅延量を16クロックとして、16クロック周期のバーストを検出する。BRANシステムのバースト検出では、遅延部108の遅延量を32クロックとして前半5周期分のバースト検出を行い、遅延部108の遅延量を16クロック遅延とすることで後半5周期分のバースト検出を行えるが、遅延量の異なる遅延手段を2つ必要とする。Wireless1394システムのバースト検出では、遅延部108の遅延量を32クロックとすることで前半5周期分のバーストを検出できる他、同じ遅延量で後半の5周期分のバースト検出も行うことができる。

【0103】バースト検出部109は、受信信号処理部106による信号S106(sy_re および sy_im)と遅延部108による遅延信号S108との相関をとり、通信システムの定めた周期のバースト信号を検出し、パケットおよびフレーム構造に関するパラメータを検出し、タイミング制御部110によるタイミング信号TMNG(X, Y, C)に同期して同期タイミング窓信号としての第1および第2の同期検出信号S109W($xpulse$, $ypulse$)を生成し、増幅利得制御部111に出力する。また、バースト検出部109は、相互相関結果のピーク値を検出するための同期タイミング窓信号S109Cをタイミング制御部110に出力する。また、バースト検出部109は、相関結果に基づいて受信信号の実部と虚部の位相差から誤差周波数を

*算し、加算器10667で乗算器10664と乗算器10665の出力を加算することにより、下記式(2)、(3)に示すような、信号 sy_re および sy_im を生成し、OFDM復調部107、遅延部108、およびバースト検出部109に出力する。

【0099】

【数2】

算出して誤差検出周波数 Δf を生成し、受信信号処理部106に出力する。

【0104】タイミング制御部110は、トリガ信号 rx_wndw をトリガとしてバースト検出部109による第1および第2の同期検出信号S109W($xpulse$, $ypulse$)を生成するためのタイミング信号TMNG(X, Y)をバースト検出部109に出力する。また、タイミング制御部110は、バースト検出部109による相互相関結果からピークタイミングを観測し、このピークタイミングから所定時間後に第3の同期検出信号S110($cpulse$)を増幅利得制御部111に出力し、FFTタイミング信号TFFTをOFDM復調部107に出力する。

【0105】図14は、図1のバースト検出部109およびタイミング制御部110の具体的な構成例を示す回路図である。

【0106】バースト検出部109は、自己相関回路10901、相互相関回路10902、係数テーブル10903、遅延量が32クロック分に設定された遅延部10904、10905、遅延量が48クロック分に設定された遅延部10906~10908、移動平均回路10909~10913、絶対値計算回路10914~10916、しきい値回路10917、比較回路10918、タイミング窓X回路10919、タイミング窓Y回路10920、検出窓回路10921、周波数誤差検出回路10922、およびラッチ回路10923を有している。また、タイミング制御部110は、ピーク位置サーチ(検出)回路(PPS)11001、位置/タイミング変換回路11002(PTTC)およびタイミングカウンタ11003を有している。

【0107】受信信号処理回路106から供給された信号 sy_re および sy_im は、自己相関回路10901、相互相関回路10902、および絶対値計算回路10916に入力される。また、信号 sy_re は遅延部108 re で16クロック分だけ遅延されて自己相関回路10901に入力される。同様に、信号 sy_im は遅延部108 im で16クロック分だけ遅延されて自

己相関回路10901に入力される。

【0108】図15は、自己相関回路の構成例を示す回路図である。自己相関回路10901は、図15に示すように、乗算器11~14、および加算器15、16により構成されている。

【0109】自己相関回路10901は、受信信号の先頭に付加されたプリアンプル信号の前半のX区間およびY区間が16クロックの周期関数であることを利用して、入力信号sy__reおよびsy__imと16クロックの遅延部108re、108imの出力sy__re*およびsy__im*とを共役複素乗算して自己相関出力acreおよびacimを得、遅延部10904~10907および移動平均回路10909~10912に出力する。

【0110】具体的には、入力信号sy__reと遅延信号sy__re*とを乗算器11で複素乗算し、入力信号sy__reと遅延信号sy__im*とを乗算器12で複素乗算し、入力信号sy__imと遅延信号sy__re*とを乗算器13で複素乗算し、入力信号sy__imと遅延信号sy__im*とを乗算器14で複素乗算し、加算器15で乗算器11の出力と乗算器14の出力とを加算することにより自己相関出力信号acreを得、加算器16で乗算器12の出力と乗算器13の出力とを加算することにより自己相関出力信号acimを得る。

【0111】相互相関回路10902は、図16に示すように、信号sy__reの入力ラインに対して縦続接続されシフトレジスタを構成する(m-1)個の遅延器21re-1~21re-m-1と、入力された信号sy__reおよび各遅延器21re-1~21re-m-1の出力信号に対してそれぞれ係数テーブル10903に設定されている係数を乗算するm個の乗算器22re-1~22re-mと、m個の乗算器22re-1~22re-mの出力信号を加算して相互相関出力信号cc__reを絶対値計算回路10916に出力する加算器23reとを有している。さらに相互相関回路10902は、図16に示すように、信号sy__imの入力ラインに対して縦続接続されシフトレジスタを構成する(m-1)個の遅延器21im-1~21im-m-1と、入力された信号sy__imおよび各遅延器21im-1~21im-m-1の出力信号に対してそれぞれ係数テーブル10903に設定されている係数を乗算するm個の乗算器22im-1~22im-mと、m個の乗算器22im-1~22im-mの出力信号を加算して相互相関出力信号cc__imを絶対値計算回路10916に出力する加算器23imとを有している。

【0112】相互相関回路10902は、入力信号sy__reおよびsy__imをシフトレジスタに順次書き込んでおき、各タップの値を係数テーブル10903の値と各乗算器22re-1~22re-m、22im-1~22im-mで乗算して相互相関出力cc__reおよ

びcc__imを得る。なお、本実施形態では、たとえばシフトレジスタのタップ数を32とし、係数テーブルはプリアンプル信号の後半のC64区間の前32クロックのデータ値を格納している。

【0113】自己相関回路10901の出力信号acreは、移動平均回路10911に直接および遅延部10906を介して48クロック分遅延されて入力され、平均化されて(積分されて)、絶対値計算回路10915に入力される。同様に、自己相関回路10901の出力信号acimは、移動平均回路10912に直接および遅延部10907を介して48クロック分遅延されて入力され、平均化されて(積分されて)、絶対値計算回路10915に入力される。そして、絶対値計算回路10915で実部reと虚部imを2乗して絶対値(re²+im²)を計算することにより、自己相関電力ACPが得られ、比較回路10918に出力される。

【0114】また、自己相関回路10901の出力信号acreは、移動平均回路10909に直接および遅延部10904を介して32クロック分遅延されて入力され、平均化されて(積分されて)、周波数誤差検出回路10922に入力される。同様に、自己相関回路10901の出力信号acimは、移動平均回路10910に直接および遅延部10905を介して32クロック分遅延されて入力され、平均化されて(積分されて)、周波数誤差検出回路10922に入力される。

【0115】相互相関回路10902の出力信号cc__reおよびcc__imは、絶対値計算回路10916で実部reと虚部imを2乗して絶対値(re²+im²)を計算することにより、相互相関電力CCPが得られ、タイミング制御部110のピーク位置サーチ回路11001に出力される。

【0116】また、入力信号sy__reおよびsy__imは、絶対値計算回路10914で実部reと虚部imを2乗して絶対値(re²+im²)が計算され、さらに、移動平均回路10913に直接および遅延部10908を介して48クロック分遅延されて入力され、平均化されて(積分されて)、しきい値回路10917に入力される。

【0117】しきい値回路10917は、自己相関のしきい値th__acが規定され、これに応じた信号が比較回路10918に供給される。

【0118】比較回路10918では、自己相関電力ACPと自己相関しきい値th__acとが比較され、その結果がタイミング窓X回路10919、タイミング窓Y回路10920、および検出窓回路10921に出力される。これにより、タイミング窓X回路10919からは、比較回路10918の比較結果にタイミング窓を掛けて、第1の同期検出信号xpulseが増幅利得制御部111に出力される。そして、タイミング窓Y回路10924からは、比較回路10918の比較結果にタイ

ミング窓を掛けて、第2の同期検出信号ypulseが増幅利得制御部111に出力される。

【0119】検出窓回路10921は、タイミング制御部110のピーク位置サーチ回路11001のピーク検出を行うための検出ウィンドウDWを生成し、信号S109Cとしてピーク位置サーチ回路11001に設定する。本実施形態では、プリアンプ後半のC領域の前半で相互相関検出が行われる。ピーク検出位置の理論値は、C領域先頭から48サンプル目に設定されている。検出ウィンドウは後半Y領域での自己相関結果があるしきい値を越えた時点を基準に設定する。しきい値を使用するため、受信状況などにより、この基準の信頼度は高くない。そこで、本実施形態においては、検出ウィンドウDWは、基準から所定のサンプル数の時点を中心に前後10クロック程度の範囲で設定する。この範囲は可変とすることも可能である。

【0120】ピーク位置サーチ回路11001は、この検出ウィンドウDW内の相互相関結果である相互相関電力値CCPの最大値とその時の位置を求める。前述したように、ピークサーチは、それまでの出力の最大値と今回の入力的大小比較により行う。最大値が得られた検出ウィンドウDW内のタイミングを記憶しておくことで、検出ウィンドウDWの最後でピーク位置が確定する。相互相関のピークは、入力信号と期待値信号が時間軸上で一致した時に得られるので、これをもとにFFTタイミングを生成すれば、最適な動作を行うことができる。ピーク位置から最適なFFTタイミングまでは32サンプル(クロック)である。

【0121】ただし、ここでは、検出ウィンドウDWの最後のところで検出ウィンドウDW内でのピークがどこだったかを示す位置情報しか得られない。そこで、位置／タイミング変換回路(PTTC)11002は、以下*

$$DT = 32 - (WW - \alpha)$$

【0126】図17(B)の例は、検出ウィンドウの前方端から3サンプル目にピークが検出された場合である。この場合、ウィンドウの後方端で $32 - (9 - 2) = 25$ をカウンタ11003にロードする。

【0127】図17(C)の例は、検出ウィンドウの前方端から5サンプル目にピークが検出された場合である。この場合、ウィンドウの後方端で $32 - (9 - 4) = 27$ をカウンタ11003にロードする。

【0128】図17(D)の例は、検出ウィンドウの前方端から9サンプル目にピークが検出された場合である。この場合、ウィンドウの後方端で $32 - (9 - 8) = 31$ をカウンタ11003にロードする。

【0129】なお、上記(4)式における α は、図17(A)の例では検出ウィンドウの前方端からピークが検出されるまでのサンプル数から1を減じた値に設定しているが、サンプル数をそのまま減じるようにすることも可能である。

*の手順で、ピーク位置サーチ回路11001により得られた位置情報を時間軸上のタイミングに変換し、変換データに基づいて1シンボルをカウントするタイミングカウンタ11003が最適なFFTタイミング信号TFFTを発生(出力)し得るデータを、タイミングカウンタ11003にプリセットする。

【0122】位置／タイミング変換回路11002は、相互相関のピーク位置と最適なFFTタイミングの関係はあらかじめ分かっているため、検出ウィンドウDWの後方端(エッジ)とピーク位置の相対的な関係がわかれば、1シンボルカウンタの値を検出ウィンドウDWの後方エッジにおいて最適に、タイミングカウンタ11003をプリセットすることができる。一度プリセットされたカウンタ11003は、循環的に1シンボルの期間をカウントしつづけ、毎シンボルごとに一定のタイミングでFFTタイミングTFFTを出し続ける。

【0123】ここで、位置／タイミング変換回路11002がカウンタ11003にプリセットするデータについて、図17(A)～(D)に関連付けて説明する。

【0124】図17(A)～(D)は、相互相関ピーク位置とカウンタへのロードデータとの関係を示す図である。図17(A)に示すDWは検出ウィンドウ、図17(B)～(D)に示すCCPは相互相関電力、CCはタイミングカウンタのカウント値を示している。図17(A)～(D)の例は、検出ウィンドウDWのウィンドウ幅WWが9サンプルに設定された場合である。タイミングカウンタ11003はたとえば減算カウンタにより構成され、ロードされるデータ値DTは、次式に基づいて設定される。

【0125】

【数4】

$$\dots (4)$$

【0130】たとえば、検出ウィンドウDWの半値幅を10サンプルとし、検出ウィンドウDWの前方端から7サンプル目にピークが検出されたとすると、ウィンドウの後方端で $32 - (20 - 7) = 19$ をロードする。ピークが15サンプル目の場合は、 $32 - (20 - 15) = 27$ をロードする。このようにすることで、ピークの位置情報を実際のタイミング情報に変換することができる。なお、検出ウィンドウ幅WWは基準位置に対して前後対称に設定することも可能である。

【0131】なお、相互相関値に下限を設け、相関値が下限値以下の場合には、ピーク検出とみなさないように構成することも可能である。たとえば、0がずっと入力される場合、そのままだとピークがウィンドウ先頭または後端にあったことになってしまうことを防ぐことができる。このような場合はピーク未検出とする。

【0132】また、カウンタをダウンカウンタで構成した場合、0までカウントダウンした後のロード値を変更

することで、データシンボルの間に再同期用のリファレンスシンボルが挿入されたバケットに対しても、FFTタイミングの最適化が行える。Wireless1394システムの場合、プリアンプル後半のC領域は、図4に示すように、16サンプルのガードインターバルC16と64サンプルのリファレンスデータC64が連続2個繰り返す形式となっている。そこで、ピーク検出補正後、カウンタが0に戻った後、63をロードする。一方、通常のデータシンボルの領域では、71をロードする。

【0133】また、データシンボル中のリファレンスシンボルへの対応として、リファレンスシンボル位置を計算し、C領域と同様に1シンボルカウンタの調整を行う。また、リファレンスシンボルとの境界では、1シンボルカウンタへは80をロードする。

【0134】図18(A)～(D)は、タイミングカウンタ(シンボルカウンタ)の動作タイミングを示す図である。なお、図18(D)はカウンタ値TCVを示しており、①、②で示すタイミングが検出ウィンドウDWの後方端でデータロードが行われるタイミングである。

【0135】また、タイミング制御部110では、ピーク位置サーチ回路11001により相互相関電力CCPのピークタイミングを受けて、タイミングカウンタ11003では、ピークタイミングから一定時間後に第3の同期検出信号cpulseが増幅利得制御部111に出力される。

【0136】図19(A)～(G)は、バースト検出部の自己相関処理から同期検出信号xpulseおよびypulseを出力するまでのタイミングチャートを示す図である。図19(A)は入力信号S106(sy_re, sy_im)のプリアンプルおよびリファレンスの部分を示し、図19(B)は遅延部108により信号S106を遅延した遅延信号S108を示し、図19(C)は自己相関電力ACPを示し、図19(D)はタイミング窓Xを示し、図19(E)はタイミング窓Yを示し、図19(F)は第1の同期検出信号xpulseを示し、図19(G)が第2の同期検出信号ypulseを示している。

【0137】Wireless1394のプリアンプル信号は、図19(A)および(B)に示すように、16クロック周期のX区間およびY区間がそれぞれ5周期あり、図19(C)に示すように、各XおよびY区間に*

$$\Delta f = \tan^{-1}(a_{cim}/a_{cre}) \times (1/32) \times 20 \times 10^6 \text{ (Hz)}$$

$$\dots (5)$$

【0142】増幅利得制御部111は、受信信号処理部106からの自動利得制御増幅部101による利得制御後のデジタル受信信号S106、A/Dコンバータ105による受信信号電力観測部102の受信信号RSのピークレベルを示すデジタル電界強度信号RSSI、バースト検出部109からの同期タイミング窓信号

*自己相関電力ACPが上昇する。したがって、図19(A)、(B)、(D)に示すように、前半のX区間にタイミング窓Xを掛け、図19(A)、(B)、(E)に示すように、後半のY区間にタイミング窓Yを掛けることで、図19(F)、(G)に示すように、各区間の到来を検出して第1の同期検出信号xpulseおよび第2の同期検出信号ypulseを出力できる。

【0138】図20(A)～(G)は、バースト検出部の相互相関処理から第3の同期検出信号cpulseおよびFFTタイミング信号TFFTを出力するまでのタイミングチャートを示す図である。図20(A)は入力信号S106(sy_re, sy_im)を示し、図20(B)は自己相関電力ACPを示し、図20(C)は相互相関電力CCPを示し、図20(D)は検出ウィンドウDWを示し、図20(E)はカウンタへのロードデータDTを示し、図20(F)は第3の同期検出信号cpulseを示し、図20(G)がFFTタイミング信号TFFTを示している。

【0139】本実施形態では、相互相関の係数テーブル10903として、C64区間の前32クロック分のデータ値を用いるので、図20(C)に示すように、C64区間の32クロック目に相互相関電力CCPが最大となる。図20(D)に示すように、相互相関電力CCPが最大となるタイミングの前後に検出ウィンドウDWを設定しておくことで、より正確なピーク検出ができる。そして、図20(E)に示すように、検出ウィンドウDWの後方端のタイミングで位置/タイミング変換回路11002が、最適なFFTタイミング信号TFFTを発生(出力)し得るデータを、タイミングカウンタ11003にプリセットする。また、検出したピークタイミングより32クロック後に、図20(F)および(G)に示すように、第3の同期検出信号cpulseおよびFFTタイミング信号TFFTを出力する。その後、図20(G)に示すように、FFTタイミング信号TFFTを64クロック後に出力し、その後は72クロック周期で繰り返し出力する。

【0140】周波数誤差検出回路10922では、自己相関出力信号の実部と虚部から位相差を求め、ここから次式(5)に示すように、誤差周波数 Δf を算出する。

【0141】

【数5】

としての第1および第2の同期検出信号S109W(xpulse, ypulse)、並びにタイミング制御部110による第3の同期検出信号S110(cpulse)に基づいて、以下に詳述するように、同期バースト検出タイミングに合わせて、自動利得制御増幅部101の利得を制御するための制御利得電圧 V_{aqc} を変化させ

て利得制御を行って受信信号が最適な信号レベルとなるよう制御して、利得制御信号 V_{aqc} をD/Aコンバータ104を介して自動利得制御増幅部101に出力する。

【0143】以下、増幅利得制御部111の利得制御動作について、図21、図22、および図23のフローチャートに関連付けて詳述する。本実施形態では、受信信号のプリアンプル区間で、高速かつ高性能なレベル補足を実現するため、3段階のレベル補足を行う。

【0144】第1段階として、バースト検出開始時(ST1)には、増幅利得制御部111より利得制御信号 V_{aqc} を最大値で出力し(ST2)、自動利得制御増幅部101の利得を最大(第1の利得)に設定し(ST3)、遅延部108とバースト検出部109の組み合わせによりバースト検出を行う。このとき、A/Dコンバータ103の出力信号は歪んでしまうが、データ信号では無いので受信信号品質の劣化は招かない。また、プリアンプル信号が歪んでいても、バースト検出部109に自己相関回路10901を用いていることから、検出率を低下させることなくバースト検出が可能である。

【0145】このようにして、受信信号RSの先頭のプリアンプル信号の到来を待つ(ST4)。これと並行し*

$$CG1[dB] = VRSSI[dBv] - Vref1[dBv] \quad \dots (6)$$

【0149】ここでVRSSIは受信信号電力観測部102で観測された受信信号電力値を、Vref1はA/Dコンバータ103を歪ませない適切な値である第1の基準信号電力値をそれぞれ示している。

【0150】ただし、このときに自動利得制御増幅部101の利得は、受信信号電力の尖頭値の算出過程にアナログ信号処理を含んでおり、若干のバラツキが含まれており、荒い利得制御となる。このため、この利得でA/Dコンバータ103を無歪みで通した後に、増幅利得制御部111にて受信信号のデジタル値を積分して正確な信号電力を測定しておく(ST11)。

【0151】第3段階として、第2段階にてある程度時※

$$CG2[dB] = VI[dBv] - Vref2[dBv] \quad \dots (7)$$

【0154】ここでVIは増幅利得制御部111にて積分したA/Dコンバータ103を通過後の受信信号電力値を、Vref2は第2の基準信号電力値で、利得制御後の受信信号電力の最適値をそれぞれ示している。

【0155】こうして、最適化された利得値はその後データ信号が終了し、次のバースト検出開始まで固定する(ST16)。

【0156】そして、タイミング制御部110による第3の同期検出信号S110(c pulse)が入力されると、上記ステップST1の処理に移行する。なお、バースト検出を開始することになるため、受信信号電力観測部102にリセット信号を与え、ピーク検出回路1021をリセットし、それ以降の最大ピーク値を観測する。

【0157】以上により、最適な利得値への高速かつ正

※て、受信信号電力観測部102にて受信信号電力を観測し、受信信号電力信号である電界強度信号RSSIをA/Dコンバータ105を介してデジタル信号RSSIDとして入力する(ST5)。ここでは、前述したように、急激な信号変化に対応するため、平均値ではなく尖頭値(ピーク値)を検波する。なお、バースト検出開始時にリセット信号を与え、尖頭値検波回路をリセットし、それ以降の最大尖頭値を観測する。

【0146】第2段階として、バースト検出時(ST6)には、バースト検出部109による第1の同期検出信号S109W(x pulse)を受けて(ST7)、デジタル電界強度信号RSSIDのレベルに基づいて利得を計算し(ST8)、利得制御信号 V_{aqc} を計算値CV1に設定し(ST9)、D/Aコンバータ104を介して自動利得制御増幅部101の利得を計算値CV1(第2の利得)に設定する(ST10)。

【0147】このときの制御利得CG1は、次式に基づいて計算される。

【0148】

【数6】

※間が経過した後、バースト検出部109による第2の同期検出信号S109W(y pulse)を受けて(ST12)、A/Dコンバータ103を無歪みで通した受信信号S106のデジタル積分値に基づいて利得を計算し(ST13)、利得制御信号 V_{aqc} を計算値CV2に設定し(ST14)、D/Aコンバータ104を介して自動利得制御増幅部101の利得を計算値CV2(第3の利得)に設定し、最適化する(ST15)。

【0152】このときの制御利得CG2は、次式に基づいて計算される。

【0153】

【数7】

確なレベル補足が実現できる。

【0158】図24は、図1の増幅利得制御部111の具体的な構成例を示す回路図である。

【0159】増幅利得制御部111は、図24に示すように、初期利得テーブル11101、RSSI調整テーブル11102、乗算器11103、11104、加算器11105~11108、遅延量が48クロック分の遅延部11109、遅延器11110、対数変換部11111、ステートマシン回路11112、利得選択回路11113、および制御利得調整テーブル11114を有している。

【0160】この増幅利得制御部111は、同期検出のタイミングパルス、すなわちトリガ信号rxwndw、バースト検出部109による第1の同期検出信号xpulseおよび第2の同期検出信号ypulse、並びに

タイミング制御部110による第3の同期検出信号cpulseに基づくステートマシン構成をとっており、各ステート0～3において異なる自動利得制御増幅部101のゲインagcが出力されるように制御している。

【0161】図25(A)～(H)は、図23の増幅利得制御部の動作を説明するためのタイミングチャートを示す図である。図25(A)は入力信号S106(sy_re, sy_im)を示し、図25(B)はトリガ信号rxwndwを示し、図25(C)は第1の同期検出信号xpulseを示し、図25(D)は第2の同期検出信号ypulseを示し、図25(E)は第3の同期検出信号cpulseを示し、図25(F)はステートを示し、図25(G)は利得制御信号Vagcを示し、図25(H)は自動利得制御増幅部101から出力される受信信号RXを示している。

【0162】以下、図24の増幅利得制御部における各ステートにおける動作を図25(A)～(H)に関連付けて説明する。

【0163】ステート0(初期モード、rxwndw待ち受けモード)

フラグ信号StationIDに基づき初期利得テーブル11101から適切な利得を選択する。本実施形態では、最大*

$$\text{gain_rssi} = \text{rssi_ref} - \text{rssi} + 40 \quad \dots (8)$$

【0166】ここで、rssi_refはRSSI基準値でビット幅を8ビットにする関係上あらかじめ40減算した値としており、ゲイン計算時に40を加算して補正している。

【0167】ステート2(ypulse待ち受けモード)

図25(F)、(G)に示すように、利得制御信号Vagcとして、RSSI利得gain_rssiを出力する。乗算器11103で入力信号sy_reを二乗し、乗算器11

$$\text{adssi} = 4 \times 10 \log(\log(\text{re}^2 + \text{im}^2)) \quad \dots (9)$$

【0169】そして、受信信号レベルadssiと利得制御後の受信信号電力の最適値adssiref、および今選択しているRSSI利得gain_rssiを用いて、adssi利得gain_rssiを式(10)のように算出する。そして、図25(D)、(F)、(G)に示すように、第2の同期検出信号ypulseの入力タイミングで、利得選択回路11113の選択利得をRSSI利得gain_rs★40

$$\text{gain_adssi} = \text{adssiref} - \text{adssi} + \text{gain_rssi} \quad \dots (10)$$

【0171】ステート3(cpulse待ち受けモード)

図25(F)、(G)に示すように、利得制御信号Vagcとして、adssi利得gain_rssiを出力する。そして、図25(E)、(F)に示すように、第3の同期検出信号cpulseの入力タイミングでステート0に移行する。ただし、利得制御電圧信号Vagcは、adssi利得gain_rssiを保持する。

【0172】次に、図1の構成による動作を説明する。

*利得となるように初期利得テーブル11101が設定されている。そして、図25(B)、(F)、(G)に示すように、トリガ信号rxwndwの立ち上がりタイミングでこれを利得選択回路11113を通し、制御利得調整テーブル11114から利得制御信号Vagcとして出力し、ステート1に移行する。

【0164】ステート1(xpulse待ち受けモード)

図25(F)、(G)に示すように、利得制御信号Vagcとして、初期利得テーブル11101で定まる初期利得(最大利得)を出力する。A/Dコンバータ105を介して電界強度信号RSSIを受けて受信信号電力に基づくRSSI利得gain_rssiを加算器11108において式(8)のように算出する。そして、図25(C)、(F)、(G)に示すように、第1の同期検出信号xpulseの入力タイミングで、利得選択回路11113の選択利得を初期利得から加算器11108によるRSSI利得gain_rssiに切り替えて、制御利得調整テーブル11114から利得制御信号Vagcとして出力し、ステート2に移行する。

【0165】

【数8】

※104で入力信号sy_imを二乗し、これらを加算器11105で加算することにより入力受信信号の振幅を求め、さらに、加算器11106、遅延部11109、および遅延器11110を通してデジタル積分値を求め、対数変換部11111において受信信号レベルadssiを式(9)のように算出する。

【0168】

【数9】

★siから加算器11107によるadssi利得gain_rssiに切り替えて、制御利得調整テーブル11114から利得制御電圧信号Vagcとして出力し、ステート3に移行する。

【0170】0

【数10】

【0173】まず、バースト検出を開始するに際して、増幅利得制御部111よりトリガ信号rxwndwをトリガとして利得制御信号Vagcが最大値に設定されて出力される。この利得制御信号Vagcは、D/Aコンバータ104でアナログ信号に変換されて自動利得制御増幅部101に供給される。自動利得制御増幅部101では、アナログ信号である利得制御信号Vagcを受けて、利得が最大の第1の利得に設定される。この状態において、受信信号RSの入力待ち状態となる。

【0174】このような状態において、まず、受信信号RSの先頭のプリアンプル信号が自動利得制御増幅部101に入力される。自動利得制御増幅部101では、受信信号RSのプリアンプル信号の前半の略X区間が最大利得をもって増幅され、信号RXとしてA/Dコンバータ103に出力される。これと並行して、受信信号RSのプリアンプル信号が受信信号電力観測部102に入力される。受信信号電力観測部102において、受信信号RSの電力が観測されてピーク電圧が測定され、入力される受信信号レベルに応じた値をとる電圧信号である電界強度信号RSSIに変換されてA/Dコンバータ105に出力される。この受信信号電力信号である電界強度信号RSSIは、A/Dコンバータ105を介してデジタル信号RSSIDとして増幅利得制御部111に入力される。

【0175】A/Dコンバータ103では、受信信号RSのプリアンプル信号部分がアナログ信号からデジタル信号に変換され信号RXDとして受信信号処理部106に供給される。このとき、A/Dコンバータ103の出力信号は歪んでしまうが、データ信号では無いので受信信号品質の劣化は招かない。

【0176】受信信号処理部106においては、入力したデジタル受信信号RXDがベースバンド信号 bb_re （実部）および bb_im （虚部）に変換され、ベースバンド信号のサンプリング周波数が低い周波数に変換される。そして、このときはパースト検出部109による誤差検出周波数 Δf が供給されていないことから、周波数オフセットの補正は行われず、信号S106（ sy_re および sy_im ）が生成され、OFDM復調部107、遅延部108、およびパースト検出部109に出力される。

【0177】遅延部108では、受信信号処理部106の出力信号S106、すなわち信号 sy_re および sy_im が、パースト検出のためにパースト周期分遅延されて、信号S108としてパースト検出部109に出力される。パースト検出部109では、受信信号処理部106による信号S106（ sy_re および sy_im ）と遅延部108による遅延信号S108との自己相関および相互相関がとられる。そして、自己相関結果に基づいて、通信システムの定めた周期のパースト信号の検出が行われ、まず、プリアンプル信号の前半X区間を検出したことを示す第1の同期検出信号S109W（ $xpulse$ ）が生成されて、増幅利得制御部111に出力される。なお、プリアンプル信号が歪んでいても、パースト検出部109に自己相関回路を用いていることから、検出率を低下させることなくパースト検出が可能である。

【0178】また、パースト検出部109では、自己相関結果に基づいて受信信号の実部と虚部の位相差から誤差周波数が算出され誤差検出周波数 Δf が生成されて、

受信信号処理部106に出力される。

【0179】増幅利得制御部111では、パースト検出部109によるパースト同期検出信号S109W（ $xpulse$ ）を受けて、デジタル電界強度信号RSSIDのレベルに基づいて利得が計算されて、利得制御信号 V_{aqc} が計算値CV1に設定される。この利得制御信号 V_{aqc} は、D/Aコンバータ104でアナログ信号に変換されて自動利得制御増幅部101に供給される。自動利得制御増幅部101では、アナログ信号である利得制御信号 V_{aqc} を受けて、利得が計算値の第2の利得に設定される。ただし、このときに自動利得制御増幅部101の利得は、受信信号電力の尖頭値の算出過程にアナログ信号処理を含んでおり、若干のバラツキが含まれており、荒い利得制御となっている。

【0180】自動利得制御増幅部101では、受信信号RSのプリアンプル信号の残りのX区間および後半のY区間が受信信号レベルに応じた第2の利得をもって増幅され、信号RXとしてA/Dコンバータ103に出力される。A/Dコンバータ103では、受信信号RSのプリアンプル信号部分がアナログ信号からデジタル信号に変換され信号RXDとして受信信号処理部106に供給される。このとき、A/Dコンバータ103の入力信号はA/Dコンバータ103を歪ませない適切な値に基づいた利得で増幅されていることから、A/Dコンバータ103の出力信号には歪みが発生しない。

【0181】受信信号処理部106においては、入力したデジタル受信信号RXDがベースバンド信号 bb_re （実部）および bb_im （虚部）に変換され、ベースバンド信号のサンプリング周波数が低い周波数に変換される。そして、受信信号処理部106では、パースト検出部109による誤差検出周波数 Δf に基づいて周波数オフセットの補正が行われて、信号S106（ sy_re および sy_im ）が生成され、OFDM復調部107、遅延部108、およびパースト検出部109に出力される。

【0182】遅延部108では、受信信号処理部106の出力信号S106、すなわち信号 sy_re および sy_im が、パースト検出のためにパースト周期分遅延されて、信号S108としてパースト検出部109に出力される。パースト検出部109では、受信信号処理部106による信号S106（ sy_re および sy_im ）と遅延部108による遅延信号S108との自己相関および相互相関がとられる。そして、自己相関結果に基づいて、通信システムの定めた周期のパースト信号の検出が行われ、プリアンプル信号の後半Y区間を検出したことを示す同期検出信号S109W（ $ypulse$ ）が生成されて、増幅利得制御部111に出力される。

【0183】また、パースト検出部109では、自己相関結果に基づいて受信信号の実部と虚部の位相差から誤差周波数が算出され誤差検出周波数 Δf が生成されて、

受信信号処理部106に出力される。

【0184】増幅利得制御部111においては、受信信号電力に基づく利得でA/Dコンバータ103を無歪みで通した信号S106を受けて、受信信号のデジタル値が積分されて正確な信号電力が測定される。また、増幅利得制御部111では、バースト検出部109による第2の同期検出信号S109W (pulse) を受けて、A/Dコンバータ103を無歪みで通した受信信号S106のデジタル積分値に基づいて利得が計算されて、利得制御信号V_{agc} が計算値CV2に設定される。 10

【0185】この利得制御信号V_{agc} は、D/Aコンバータ104でアナログ信号に変換されて自動利得制御増幅部101に供給される。自動利得制御増幅部101では、アナログ信号である利得制御信号V_{agc} を受けて、利得が最適な計算値の第3の利得に設定される。

【0186】自動利得制御増幅部101では、受信信号RSのプリアンプ信号の残りのY区間およびC16以降のリファレンスC64やデータが受信信号レベルに応じた第3の利得をもって増幅され、信号RXとしてA/Dコンバータ103に出力される。A/Dコンバータ103では、受信信号RSのリファレンスC64やデータ部分がアナログ信号からデジタル信号に変換され信号RXDとして受信信号処理部106に供給される。このとき、A/Dコンバータ103の入力信号はA/Dコンバータ103を歪ませない最適な値に基づいた利得で増幅されていることから、A/Dコンバータ103の出力信号には歪みが発生しない。 20

【0187】受信信号処理部106においては、入力したデジタル受信信号RXDがベースバンド信号bb_{re} (実部) およびbb_{im} (虚部) に変換され、ベースバンド信号のサンプリング周波数が低い周波数に変換される。そして、バースト検出部109による誤差検出周波数Δfに基づいて周波数オフセットの補正が行われて、信号S106 (sy_{re}およびsy_{im}) が生成され、OFDM復調部107、遅延部108、およびバースト検出部109に出力される。 30

【0188】遅延部108では、受信信号処理部106の出力信号S106、すなわち信号sy_{re}およびsy_{im}が、バースト検出のためにバースト周期分遅延されて、信号S108としてバースト検出部109に出力される。バースト検出部109では、受信信号処理部106による信号S106 (sy_{re}およびsy_{im}) と遅延部108による遅延信号S108との自己相関がとられ、またプリアンプ後半のC領域の前半で相互相関がとられる。また、バースト検出部109においては、自己相関結果に基づいて検出窓回路10921によりタイミング制御部110のピーク位置サーチ回路11001のピーク検出を行うための検出ウィンドウDWが生成され、タイミング制御部110のピーク位置サーチ回路11001に設定される。そして、相互相関結果 50

である相互相関電力がタイミング制御部110に供給される。

【0189】ピーク位置サーチ回路11001では、この検出ウィンドウDW内の相互相関結果である相互相関電力値CCPの最大値とその時の位置が求められる。ただし、ここでは、検出ウィンドウDWの最後のところで検出ウィンドウDW内でのピークがどこだったかを示す位置情報しか得られない。次いで、位置/タイミング交換回路11002において、ピーク位置サーチ回路11001により得られた位置情報が時間軸上のタイミングに変換され、変換データに基づいて1シンボルをカウントするタイミングカウンタ11003が最適なFFTタイミング信号TFFTを発生(出力)し得るデータが、タイミングカウンタ11003にプリセットされる。一度プリセットされたカウンタ11003は、循環的に1シンボルの期間をカウントしつづけ、毎シンボルごとに一定のタイミングでFFTタイミング信号TFFTを出し続ける。そして、ピークタイミングから所定時間後に第3の同期検出信号S110 (cpulse) が増幅利得制御部111に出力され、プリセットデータがダウンカウントされた時点でFFTタイミング信号TFFTがOFDM復調部107に出力される。

【0190】第3の同期検出信号S110 (cpulse) を受けた増幅利得制御部111では、初期モード、すなわちトリガ信号rxwndwの待ち受けモードに戻る。以降、最適化された利得値はその後データ信号が終了し、次のバースト検出開始まで固定される。

【0191】OFDM復調部107では、受信信号処理部106の出力信号S106、すなわち信号sy_{re}およびsy_{im}がタイミング制御部110により供給されるFFTタイミング信号TFFTに同期して高速離散フーリエ変換されOFDM信号が復調される。

【0192】以上説明したように、本第1の実施形態によれば、バースト検出部109および増幅利得制御部111により受信信号(パケット)の先頭に付加されている同期用のトレーニング信号(バースト信号)を用いてAGC制御と周波数オフセット補正を行い、引き続いて相互相関検出用の検出ウィンドウ期間を設けて、タイミング制御部110で検出ウィンドウDW内で相互相関のピーク検出を行い、ウィンドウの最後部(後方端)においてOFDMシンボル区間をカウントするカウンタ11003にピーク位置に対応したデータをロードするので、伝送路の状況によらずに、最適なFFTタイミングを設定することが可能となる。

【0193】また、検出用のウィンドウ幅を状況に応じて可変とすることができ、これにより受信状況に応じてその幅を設定することができ、効率良く伝送路に応じた最適なFFTタイミングを設定することが可能となる。

【0194】また、相互相関値に下限を設け、相関値が下限値以下の場合には、ピーク検出とみなさないように

構成することにより、たとえば、0がずっと入力される場合、そのままだとピークがウィンドウ先頭または後端にあったことになってしまうことを防ぐことができる。

【0195】また、カウンタをダウンカウンタで構成し、0までカウントダウンした後のロード値を変更することにより、データシンボルの間に再同期用のリファレンスシンボルが挿入されたバケットに対しても、簡単にFFTタイミングの最適化が行える。

【0196】また、本第1の実施形態によれば、バースト検出開始を示すトリガ信号を受けると、最大値をもって増幅するように利得制御信号を自動利得制御増幅部101に出力し、バースト検出部109により第1のバースト同期検出信号を受けると、受信信号電力観測部102で検出された受信信号電力値に基づいて第2の利得を計算し、当該第2の利得をもって増幅するように利得制御信号を自動利得制御増幅部101に出力し、第2の利得で増幅されたデジタル受信信号を受けて積分し受信信号電力値を求め、バースト検出部109により第2のバースト同期検出信号を受けると、求めた受信信号電力値に基づいて第3の利得を計算し、当該第3の利得をもって増幅するように利得制御信号を自動利得制御増幅部101に出力する増幅利得制御部111を設けたので、以下の効果を得ることできる。

【0197】高速かつ正確なレベル補足を行うことが可能となる。その結果、無線LAN等のバースト同期型通信システムにおいて、高性能な受信品質を実現できる利点がある。

【0198】また、ブリアンブル信号が2段階に分けてバースト検出できる場合には、最初のバースト検出時に荒い利得制御を、次のバースト検出時に精密な利得制御を行うことで、最初のバースト検出のタイミングが誤った場合のリカバリーを行うことができる。また、デジタル積分される信号のパターンを特定でき、より正確なレベル補足ができる。また、最初のバースト検出が誤りであった場合でも、2回目のバースト検出ができるか否かで判別ができ、誤ったタイミングでのレベル補足を回避できる。

【0199】なお、1回目のバースト検出の後、一定時間たっても2回目のバースト検出がなされなかった場合には、レベル補足をリセットして、レベル補足の第1段階に戻るようにすることで、次に来るバースト信号をより高確率で検出可能とすることができる。

【0200】また、同期転送モードをサポートしていて、データ信号中に一定期間ごとにリファレンス信号を挿入してある場合には、リファレンス信号ごとにレベル補足の微調整を行うことで、マルチパス環境下でのレベル補足をより正確に実現することができる利点がある。

【0201】第2実施形態

図26は、本発明に係るFFTタイミング生成回路を適用したバースト同期復調装置の第2の一実施形態を示す

ブロック構成図である。また、図27は、本第2の実施形態に係る図26のバースト検出部およびタイミング制御部の具体的な構成例を示す回路図である。

【0202】本第2の実施形態が上述した第1の実施形態と異なる点は、バースト検出部およびタイミング制御部にフレーム同期機能を追加したことにある。具体的には、本第2の実施形態では、フレーム同期用のデータ

(既知)と入力データの相互相関を計算し、検出ウィンドウ内でかつ検出しきい値を超えたものにつきピーク検出を行い、同期が確立した後は、受信側(移動局側)の基準クロックで数えたフレーム周期に基づいて検出ウィンドウを設定し、追従性と安定度の高いバースト同期システムを構成することにより、受信信号の復調タイミングのさらなる適正化を実現している。本第2の実施形態では、図14の構成に加えて、タイミング制御部110Aに、フレーム同期回路11004を設けている。

【0203】以下、本第2の実施形態のフレーム同期システムの基本原理、および図26および図27の新たに追加された部分の具体的な構成および機能についてを順を追って説明する。

【0204】このような動作条件を備えたフレーム同期システムを実現するには、

A) 送信側(基地局側)のフレーム周期を受信側(移動局側)で忠実に再現する、

B) かつ、基地局のフレーム周期の変化に対する追従性を高くするということが必要である。

【0205】A)の条件を満たすには、フレーム同期タイミングのずれを多くのフレームにわたって平均化することが必要である。実際に各フレームで検出できるずれは、1クロック単位であるが、これを多数集めて平均化すると少数点以下の精度で送信側(基地局側)の周期を再現できる。しかし、このままだと、B)の条件、すなわち基地局側のフレーム周期が変化した場合に追従することができない。これは平均化回路に大きなずれ量が入力しても、平均結果にすぐに反映されないからである。そこで、しきい値を超える相関値が得られた場合、そのピークタイミングを使ってフレームカウンタ自体を直接補正する。1フレーム当たりのフレーム周期の変化量が検出ウィンドウ幅の半分以下であれば、相関検出できている限り追従することが可能である。

【0206】図28は、図27のフレーム同期回路の構成例を示すブロック図である。このフレーム同期回路11004は、図28に示すように、ピーク検出回路201、同期判定回路202、フレーム周期カウンタ203、平均化回路204、および補正值セット回路としての加算器205を有している。

【0207】ピーク検出回路201は、バースト検出部109Aの相互相関用絶対値計算回路10916により形成された相互相関電力CCPを入力し、フレーム周期カウンタ203により設定される期待タイミングを中心

として設定した検出ウィンドウDTW内で、かつ検出しきい値 t_{h_cc} を超えたものにつきピーク検出を行い、期待タイミングとピーク検出位置とのずれを信号S201として平均化回路204に出力する。また、ピーク検出回路201は、検出ウィンドウDTW内でピーク検出を行った場合に、そのピーク値が検出しきい値 t_{h_cc} を超えていない場合（小さい場合）には相関は未検出と判定してずれ量を示す信号S201を平均化回路204に出力しない。また、ピーク検出回路201は、最初にフレーム同期を引き込む場合には、検出ウィンドウを常に開けた状態で相関ピーク検出を行い、最初に検出しきい値 t_{h_cc} を超えた時点を同期検出とみなして制御を開始する。

【0208】同期判定回路202は、ピーク検出回路201の出力信号S201aを受けて同期検出が行われたか否かを判定し、同期検出が行われた場合に、ピーク検出回路201の出力信号S201aによりフレーム周期カウンタ203の、たとえば同期検出の期待タイミングのカウント値（たとえば0）としてセットさせる。

【0209】フレーム周期カウンタ203は、自局の基準クロックによってフレーム周期をカウントするカウンタで、セットされるカウント値を動作周期とし、この動作周期に基づいて、ピーク検出回路201に指示する検出ウィンドウDTWの窓タイミングを生成する。なお、同期が確立した後、受信側（移動局側）の基準クロックで数えたフレーム周期に基づいて検出ウィンドウが設定される。また、フレーム周期カウンタ203は、加算器205の出力により補正値が信号S205としてロードされてカウント値が補正される。そして、フレーム周期カウンタ203は、補正されたカウント値に基づく期待タイミングでFFTタイミング信号TFFTの出力タイミングを微調整するように信号S203をタイミングカウンタ11003Aに出力する。

【0210】平均化回路204は、ピーク検出回路201により信号S201として入力されたフレーム同期のピーク検出結果とフレーム周期カウンタ203による同期検出の期待タイミングのずれを平均化し、その結果を補正値S204として加算器205に出力する。平均化回路204は、積分回路を含み、出力のうちある範囲の上位ビット（整数部）を第1の補正値ADJ1として、この上位ビットを差し引いた下位ビット（小数部）部分は符号を含めて積算回路によって毎フレームごとに積算し、そのキャリイ周期に対応して第1の補正値ADJ1に対してさらに第2の補正値ADJ2、たとえば ± 1 の補正を加え、補正値S204として加算器205に出力する。

【0211】図29は、図28の平均化回路204の構成例を示す回路図である。この平均化回路204は、図29に示すように、遅延部2041、2042、加算器2043、2044、2045、増幅器2046、20

47、絶対値計算回路2048、セクタ2049、2050、および数値制御発振器（NCO）2051を有している。そして、遅延部2041、2042、加算器2043、2044、および増幅器2046、2047により積分回路が構成されている。

【0212】図29の平均化回路204は、ずれの値を符号付8ビット、平均化回路204の出力を符号付17ビットとした場合である。積分回路の直接および積分のゲイン設定にもよるが、上位7ビットを「整数」部分とみなすと、最大9ビットシフトになるので500回程程度の平均に相当する。そして、下位ビットの部分を数値制御発振器（NCO）2051に入力することで、少数点以下のずれを足し合わせて、1クロック相当分になったところで、前述の整数部分とを加算器2045で合わせて補正データS204とする。

【0213】この構成により、上記の例では送信側（基地局）と受信側（移動局）の基準クロック誤差を約1000分の1クロックの精度で補正できる。これは数百フレーム連続でフレーム同期の相関検出ができない伝送状況が続いてもフレーム同期は保ったままであることを意味する。伝送状況が回復後、直ちに送受信動作に移ることができる。

【0214】図30は、図29の数値制御発振器（NCO）の構成例を示す回路図である。この数値制御発振器2051は、図30に示すように、加算器20511、フリップフロップ（FF）20512、20513、オーバーフロー検出回路20514を有している。すなわち、数値制御発振器2051は、入力ビット幅と同じビット幅の積分回路で構成されている。

【0215】図31（A）、（B）は、下位ビットの積算の様子を示す図である。図31（A）は入力 n_{coin} が0より大きい場合、図31（B）は入力 n_{coin} が0より小さい場合をそれぞれ示している。符号を付けて11ビットの入力 n_{coin} が0より大きい場合、入力 n_{coin} は「010（16進数）」、「100（16進数）」の場合であり、入力 n_{coin} が0より小さい場合、入力 n_{coin} は「101（16進数）」、「011（16進数）」の場合である。そして、オーバーフロー、ゼロクロス時にキャリイを第2の補正値ADJ2（ ± 1 ）として出力する。

【0216】図32は、図30の数値制御発振器のオーバーフロー検出の状態を示す図である。図32に示すように、デフォルトの場合、第2の補正値ADJ2は0である。

【0217】「010」の場合、入力 n_{coin} 〔10〕が0、フリップフロップ20512の出力 n_{co} 〔10〕が1、フリップフロップ20513の出力 ovf が0である。この場合の n_{co} ステータスは、 $n_{coin} > 0$ 、かつ、 n_{co} オーバーフローであり、第2の補正値ADJ2は+1となる。

【0218】「011」の場合、入力 $ncoin[10]$ が1、フリップフロップ20512の出力 $nco[10]$ が1、フリップフロップ20513の出力 ovf が0である。この場合の nco ステータスは、 $ncoin < 0$ 、かつ、 nco ゼロクロスであり、第2の補正值 $ADJ2$ は-1となる。

【0219】「100」の場合、入力 $ncoin[10]$ が0、フリップフロップ20512の出力 $nco[10]$ が0、フリップフロップ20513の出力 ovf が1である。この場合の nco ステータスは、 $ncoin > 0$ 、かつ、 nco ゼロクロスであり、第2の補正值 $ADJ2$ は-1となる。

【0220】「101」の場合、入力 $ncoin[10]$ が1、フリップフロップ20512の出力 $nco[10]$ が0、フリップフロップ20513の出力 ovf が1である。この場合の nco ステータスは、 $ncoin < 0$ 、かつ、 nco アンダーフローであり、第2の補正值 $ADJ2$ は-1となる。

【0221】加算器205は、平均化回路204による補正值を基準の周期に加算し、フレーム周期の補正值としてフレーム周期カウンタ203のカウンタ値としてセ

ットする。
【0222】次に、図28のフレーム同期回路11004の動作を、図33(A)～(D)、図34(A)～(D)、および図35(A)～(D)に関連付けて説明する。

【0223】図33(A)～(D)、図34(A)～(D)は、本第2の実施形態に係るフレーム同期の動作タイミング例を示すタイミングチャートである。なお、図33(A)は検出ウィンドウDTW、図33(B)は相互相関電力CCP、図33(C)はずれを示す信号S201、図33(D)はフレーム周期カウンタ203のカウンタ値CNTをそれぞれ示している。同様に、図34(A)は検出ウィンドウDTW、図34(B)は相互相関電力CCP、図34(C)はずれを示す信号S201、図34(D)はフレーム周期カウンタ203のカウンタ値CNTをそれぞれ示している。

【0224】また、図35(A)～(D)は、本第2の実施形態に係るフレーム同期の初期引き込み時の動作タイミング例を示すタイミングチャートである。図35(A)は検出ウィンドウDTW、図35(B)は相互相関電力CCP、図35(C)は連続同期数CSN、図35(D)は同期フラグFLGをそれぞれ示している。

【0225】まず、図33(A)～(D)に関連付けてフレーム同期の動作について説明する。

【0226】この場合、検出ウィンドウDTWは、図33(A)、(D)に示すように、カウンタ値100を中心に幅7クロックで設定されている。この例では、実際の相互相関電力(相関値)CCPのピークは、ピーク検出回路201で、図33(B)、(D)に示すように、

カウンタ値100ではなく2クロックずれた98で得られている。これは基地局の基準クロックでカウントしたフレーム周期の方が移動局側の基準クロックでカウントしたフレーム周期より長いことを意味する。すなわち、移動局側のクリスタルの発振周波数が高い。このような場合には、フレームカウンタの値を+2してやれば、次のフレームでは理想的には相関ピークは同じ位置98で得られる。このずれ量+2は、信号S201として平均化回路204に入力されており、受信フレーム数の増加につれて補正值出力は0から+2に近づいていく。これにより、相関値のピーク検出は期待タイミングのカウンタ値100で得られるようになる。

【0227】次に、図34(A)～(D)に関連付けてフレーム同期の動作について説明する。これは、検出ウィンドウ内で相関値がしきい値を超えなかった場合の動作が示してある。

【0228】この状態は、たとえば受信状況が一時的に悪化した場合などに生じる。このような場合、検出ウィンドウDTW内での相関ピークは必ずしも意味のあるものではない。そのようなピーク検出タイミングに基づいてフレーム周期カウンタを制御するとフレーム同期はずれの原因となる。そのため、相関値がしきい値を超えない場合には、フレーム周期カウンタ203のカウンタ値の修正および平均化回路204へのデータ入力が行わない。

【0229】次に、図35(A)～(D)に関連付けて初期引き込み時の動作を説明する。

【0230】最初にフレーム同期を引き込む場合には、検出ウィンドウを常に開けた状態で相互相関値のピーク検出を行い、最初にしきい値を超えた時点を同期検出とみなして制御を開始する。この例では、連続3回の同期検出で、同期確立と同期判定回路20により判定される。次回以降そのタイミングで相関値のピーク検出ができればフレーム同期がとれた状態であり、連続して同じタイミングで相関検出できなければ、最初の検出は誤検出とみなされ、図35(C)に示すように、初期の相関検出待ち状態に戻る。

【0231】本第2の実施形態によれば、上述した第1の実施形態の効果に加えて、伝送路の状態が安定でない無線通信において、一度確立したフレーム同期を比較的長い間保ち続けることができる。また、Wireless 1394のように基地局のフレーム周期が他のシステムに追従しなければならないような場合について、同期の精度と追従性という本来相反する性能を両立させることができるという利点がある。その結果、伝送路の状況によらずに、最適なFFTタイミングを設定することが可能となる。

【0232】なお、上述した第2の実施形態では、ピーク検出用のしきい値として一つのしきい値を用いた場合を例に説明したが、複数のしきい値を用いてカウンタの

セットやずれの平均化回路への取り込み制御を行う等、種々の態様が可能である。たとえば第1のしきい値と、この第1のしきい値より低い第2のしきい値を用い、相関値のピークが第1のしきい値より大きい場合には、カウンタのセットおよびずれの取り込みを行い、第2のしきい値より小さい場合には、カウンタのセットは行わないが、ずれの取り込みは行うようにする等のより細かな制御を行うようにすることも可能である。

【0233】

【発明の効果】以上説明したように、本発明によれば、伝送路の状況によらずに、最適なFFTタイミングを設定することが可能となる。

【0234】また、検出用のウィンドウ幅を状況に応じて可変とすることができ、これにより受信状況に応じてその幅を設定することができ、効率良く伝送路に応じた最適なFFTタイミングを設定することが可能となる。

【0235】また、相互相関値に下限を設け、相関値が下限値以下の場合には、ピーク検出とみなさないように構成することにより、たとえば、0がずっと入力される場合、そのままだとピークがウィンドウ先頭または後端にあったことになってしまうことを防ぐことができる。

【0236】また、カウンタをダウンカウンタで構成し、0までカウントダウンした後のロード値を変更することにより、データシンボルの間に再同期用のリファレンスシンボルが挿入されたパケットに対しても、簡単にFFTタイミングの最適化が行える。

【0237】また、本発明によれば、伝送路の状態が安定でない無線通信において、一度確立したフレーム同期を比較的長い間保ち続けることができる。また、Wireless 1394のように基地局のフレーム周期が他のシステムに追従しなければならないような場合について、同期の精度と追従性という本来相反する性能を両立させることができる。

【図面の簡単な説明】

【図1】本発明に係るFFTタイミング生成回路を適用したバースト同期復調装置の一実施形態を示すブロック構成図である。

【図2】IEEE 802.11aシステムの代表的なブリアンブル信号を含むバースト信号部を示す図である。

【図3】BRANシステムの代表的なブリアンブル信号を含むバースト信号部を示す図である。

【図4】Wireless 1394システムの代表的なブリアンブル信号を含むバースト信号部を示す図である。

【図5】Wireless 1394システムにおいて一定期間以上のデータ信号区間にリファレンス信号REFを挿入している信号形態を示す図である。

【図6】Wireless 1394システムにおけるフレーム構造を示す図である。

【図7】(A)および(B)は、OFDMデータシンボ

ルにおいてデータ部の前にそのデータの最後の部分を繰り返すガードインターバルを付加する手法(Cyclic Extension法)を説明するための図である。

【図8】(A)～(D)は、FFTへのデータ取り込みタイミングについての例を示す図である。

【図9】図1の自動利得制御増幅部の具体的な構成を示す回路図である。

【図10】図9の利得制御増幅器の利得制御特性例を示す図である。

【図11】受信信号の入力レベルに対する受信信号電力観測部の出力特性を示す図である。

【図12】図1の受信信号処理部の具体的な構成例を示す回路図である。

【図13】図1のOFDM復調部の構成を説明するための図である。

【図14】図1のバースト検出部およびタイミング制御部の具体的な構成例を示す回路図である。

【図15】図14の自己相関回路の構成例を示す回路図である。

【図16】図14の相互相関回路の構成例を示す回路図である。

【図17】(A)～(D)は、相互相関ピーク位置とカウンタへのロードデータとの関係を示す図である。

【図18】(A)～(D)は、タイミングカウンタ(シンボルカウンタ)の動作タイミングを示す図である。

【図19】(A)～(G)は、バースト検出部の自己相関処理から同期検出信号x pulseおよびy pulseを出力するまでのタイミングチャートを示す図である。

【図20】(A)～(G)は、バースト検出部の相互相関処理から同期検出信号cpulseおよびFFTタイミング信号TF Tを出力するまでのタイミングチャートを示す図である。

【図21】本発明に係る増幅利得制御部における利得制御動作の第1段階を説明するためのフローチャートである。

【図22】本発明に係る増幅利得制御部における利得制御動作の第2段階を説明するためのフローチャートである。

【図23】本発明に係る増幅利得制御部における利得制御動作の第3段階を説明するためのフローチャートである。

【図24】図1の増幅利得制御部の具体的な構成例を示す回路図である。

【図25】図24の増幅利得制御部の動作を説明するためのタイミングチャートを示す図である。

【図26】本発明に係るFFTタイミング生成回路を適用したバースト同期復調装置の第2の実施形態を示すブロック構成図である。

【図27】本第2の実施形態に係る図26のバースト検

出部およびタイミング制御部の具体的な構成例を示す回路図である。

【図28】図27のフレーム同期回路の構成例を示すブロック図である。

【図29】図28の平均化回路の構成例を示す回路図である。

【図30】図29の数値制御発振器(NCO)の構成例を示す回路図である。

【図31】(A)、(B)は、図29の数値制御発振器(NCO)の下位ビットの積算の様子を示す図である。

【図32】図30の数値制御発振器のオーバーフロー検出の状態を示す図である。

【図33】(A)～(D)は、本第2の実施形態に係るフレーム同期の動作タイミング例を示すタイミングチャートである。

【図34】(A)～(D)は、本第2の実施形態に係るフレーム同期の動作タイミング例を示すタイミングチャートである。

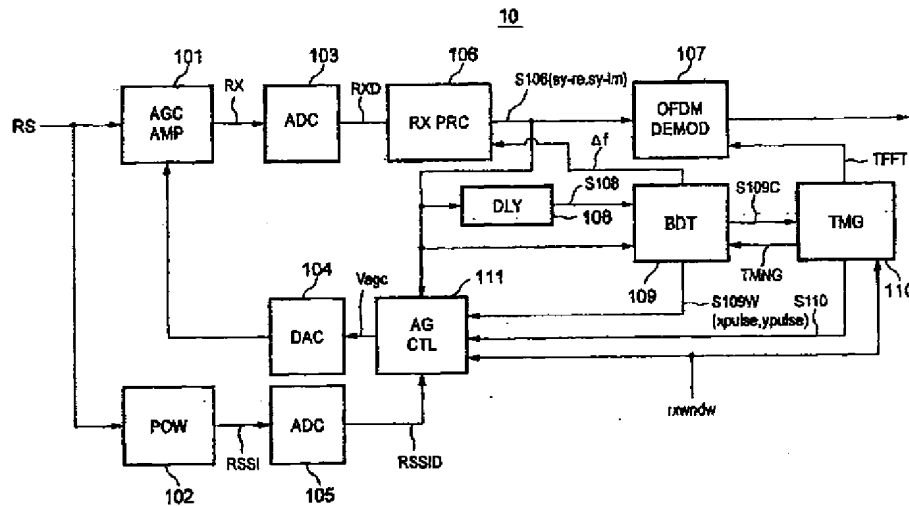
【図35】(A)～(D)は、本第2の実施形態に係るフレーム同期の初期引き込み時の動作タイミング例を示す

*すタイミングチャートである。

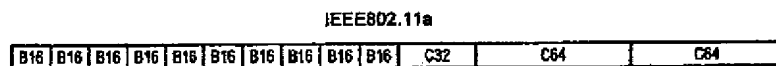
【符号の説明】

10、10A…バースト同期復調装置、101…自動利得制御増幅部(AGCAMP)、102…受信信号電力観測部、103…A/Dコンバータ(ADC)、104…デジタル/アナログ(D/A)コンバータ(DAC)、105…A/Dコンバータ(ADC)、106…受信信号処理部、107…OFDM復調部(DEMOD)、108…遅延部(DLY)、109、109A…バースト検出部(BDT)、110、110A…タイミング制御部(TMG)、111…増幅利得制御部(AGCTL)、1071…FFT処理部、201…ピーク検出回路、202…同期判定回路、203…フレーム周期カウンタ、204…平均化回路、2041、2042…遅延部、2043～2045…加算器、2046、2047…増幅器、2048…絶対値計算回路、2049、2050…セレクト、2051…数値制御発振器(NCO)、20511…加算器、20512、20513…フリップフロップ(FF)、20514…オーバーフロー検出回路、205…加算器。

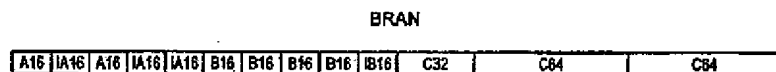
【図1】



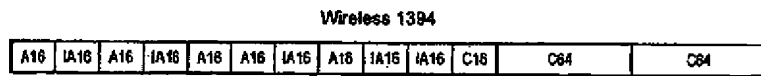
【図2】



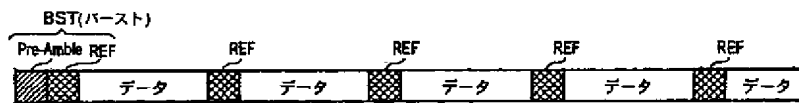
【図3】



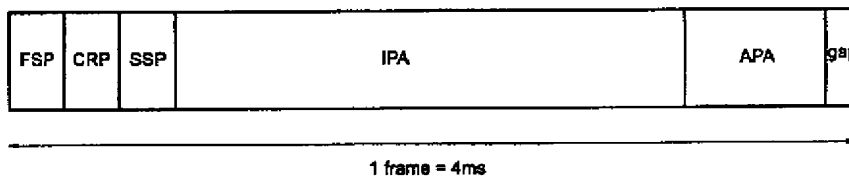
【図4】



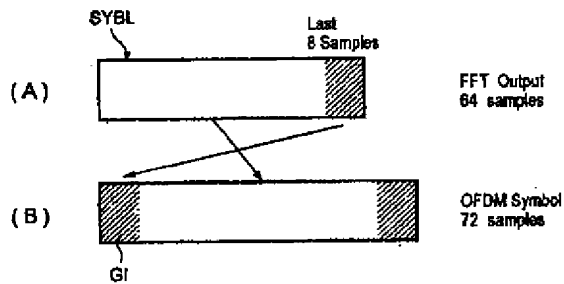
【図5】



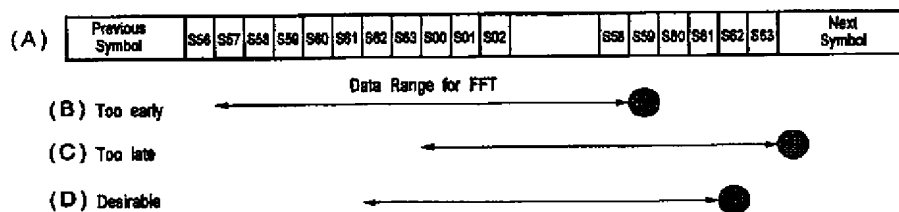
【図6】



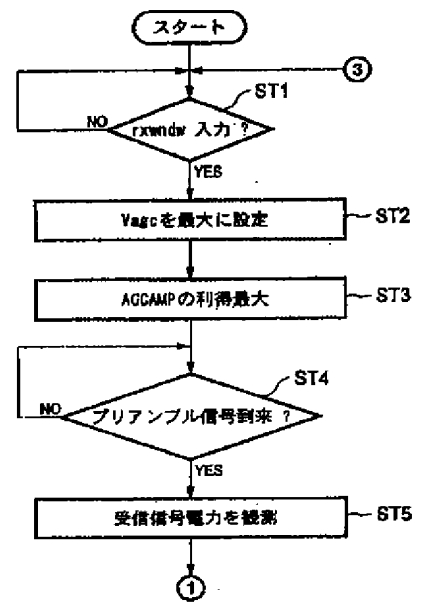
【図7】



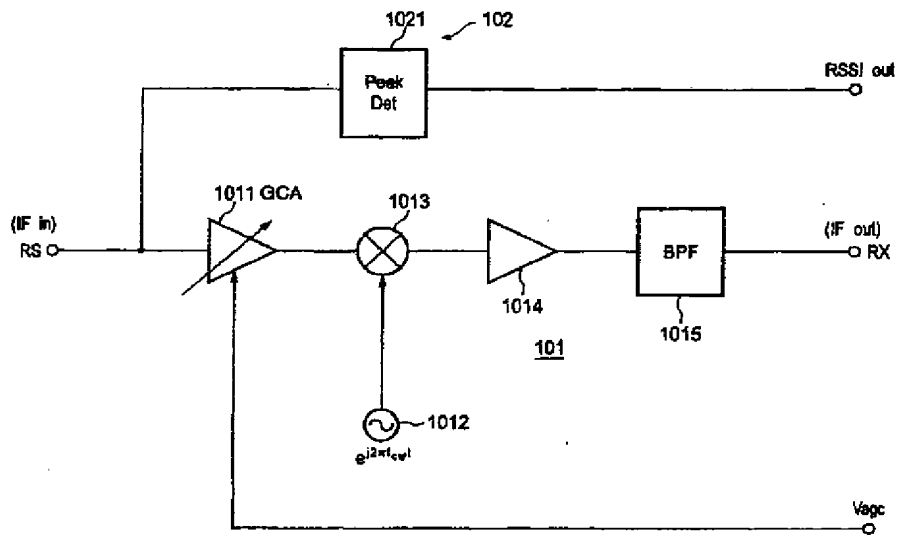
【図8】



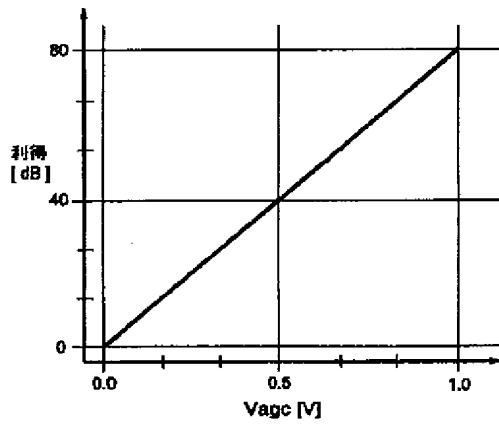
【図21】



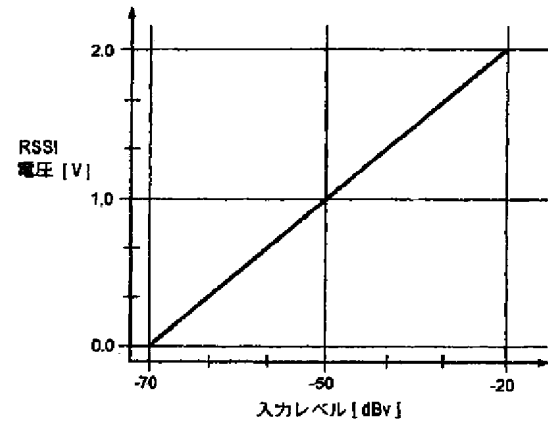
【図9】



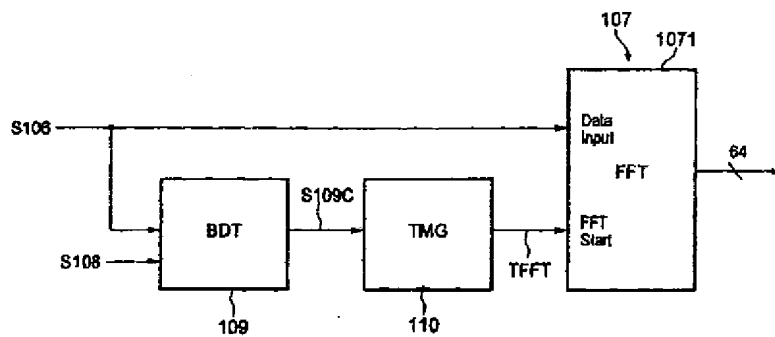
【図10】



【図11】

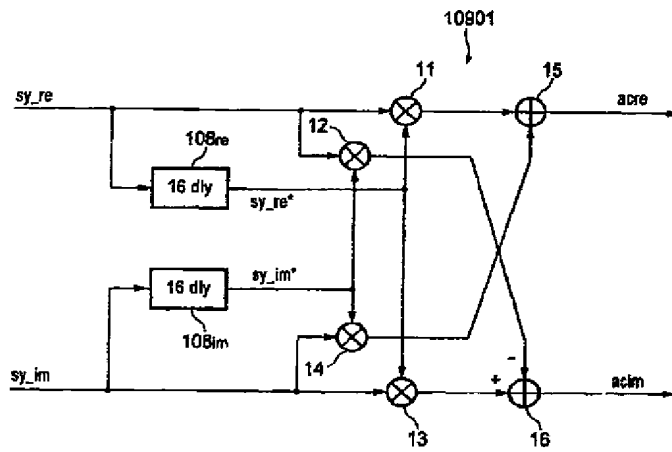


【図13】

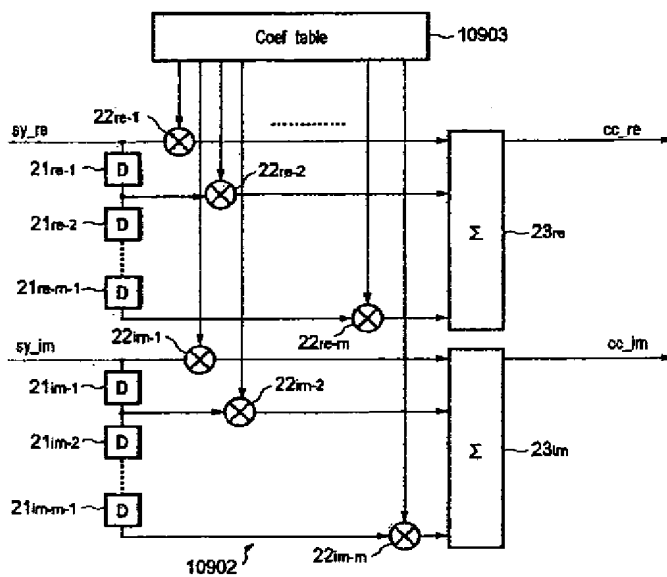


The diagram illustrates a Doppler shift measuring system. It starts with two input signals, sy_re and sy_im , which are processed through several parallel paths. The sy_re path includes a 16dly delay (108re) and a 32dly delay (10904). The sy_im path includes a 16dly delay (108im) and a 32dly delay (10905). These signals are fed into an Auto Correlation block (10901) and a Cross Correlation block (10902). The Auto Correlation block also receives a feedback signal from the ABS $re^2 + im^2$ block (10914) via a 48dly delay (10908). The Cross Correlation block receives a feedback signal from the ABS $re^2 + im^2$ block (10914) via a 48dly delay (10906). The outputs of the Auto Correlation and Cross Correlation blocks are processed by Moving Average blocks (10909, 10910, 10911, 10912) and then by ABS blocks (10914, 10911, 10912, 10916). The ABS blocks output signals $re^2 + im^2$, $re^2 + im^2$, $re^2 + im^2$, and $re^2 + im^2$ respectively. These signals are then processed by a Freq Error Estimation block (10909) and a Latch (10923). The system also includes a Detecting window (10921), PPS (11001), PTTC (11002), and Timing windows (10919, 10920) leading to a Timing Counter (11003) and a Latch (10923).

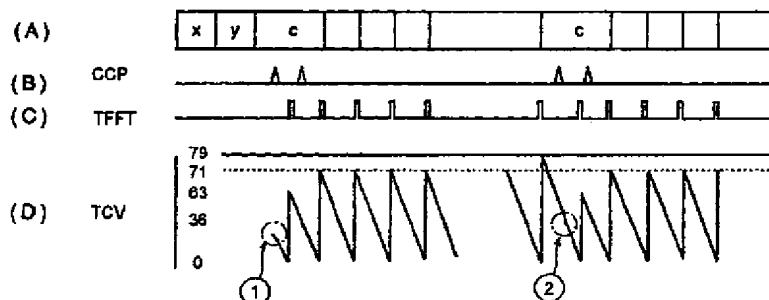
【図15】



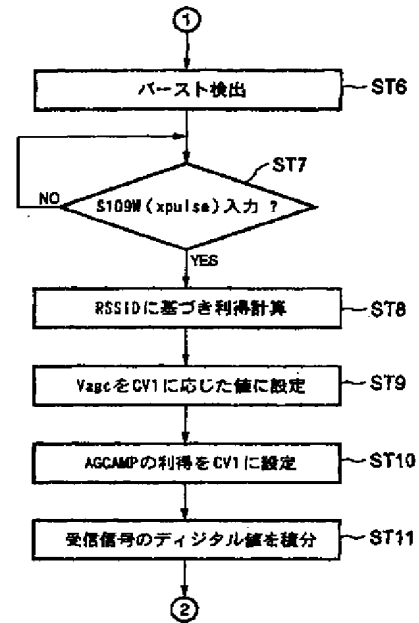
【図16】



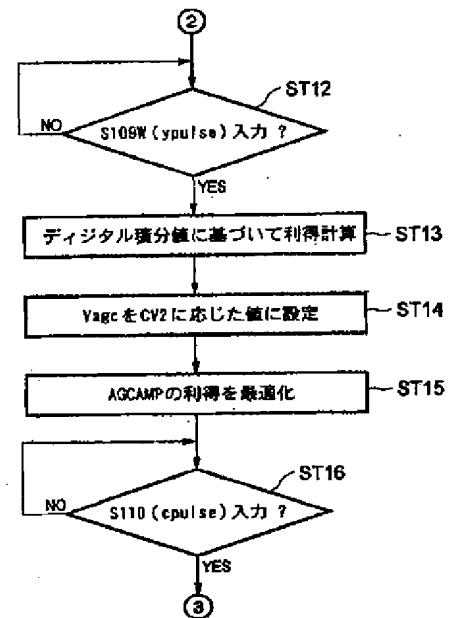
【図18】



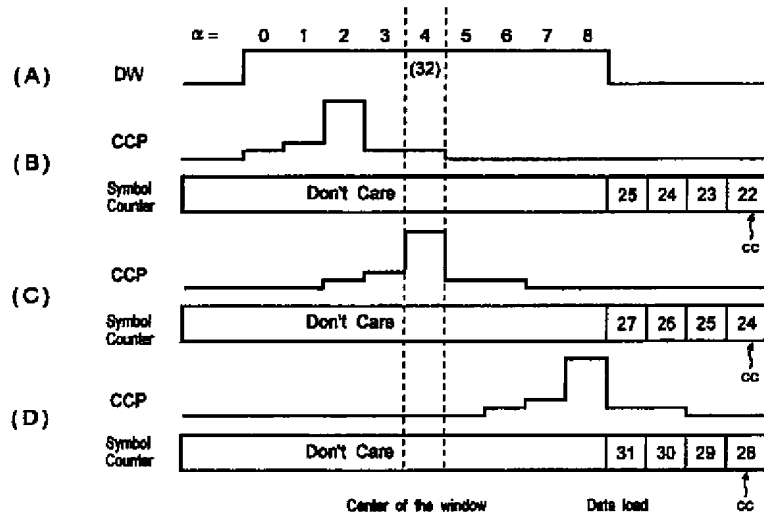
【図22】



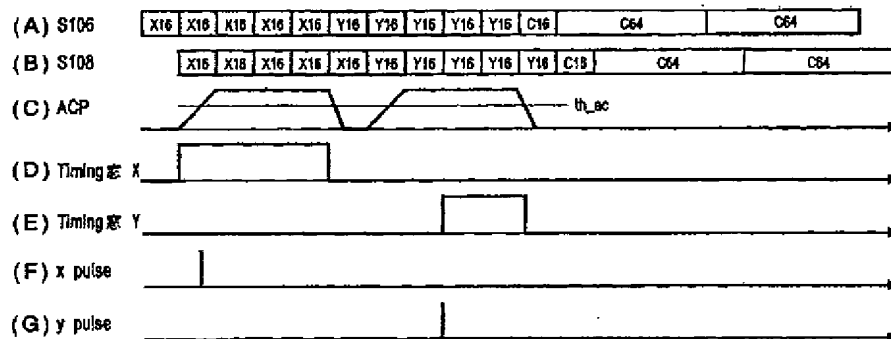
【図23】



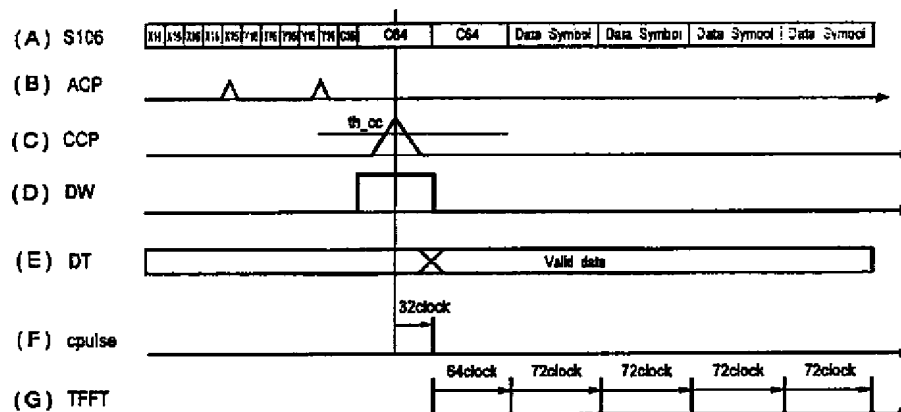
【図17】



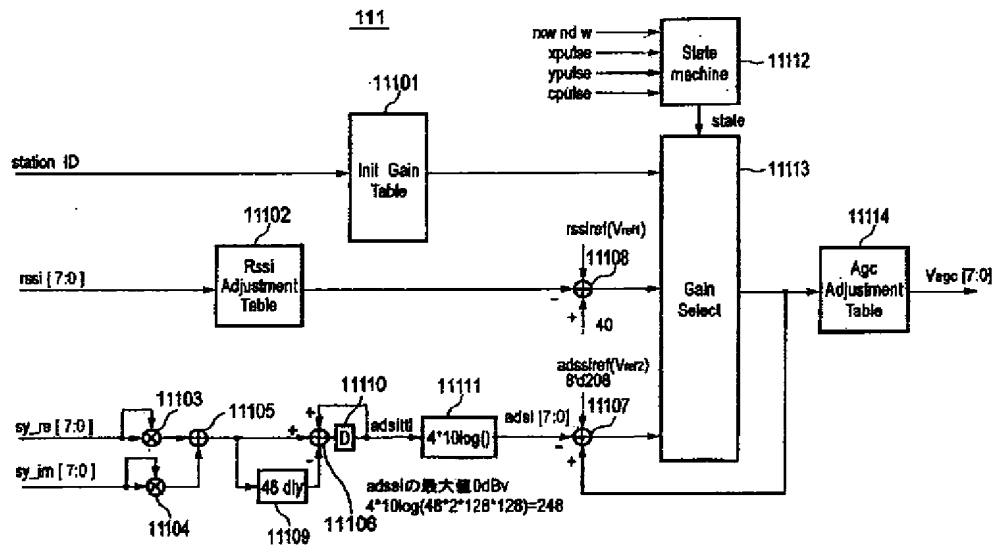
【図19】



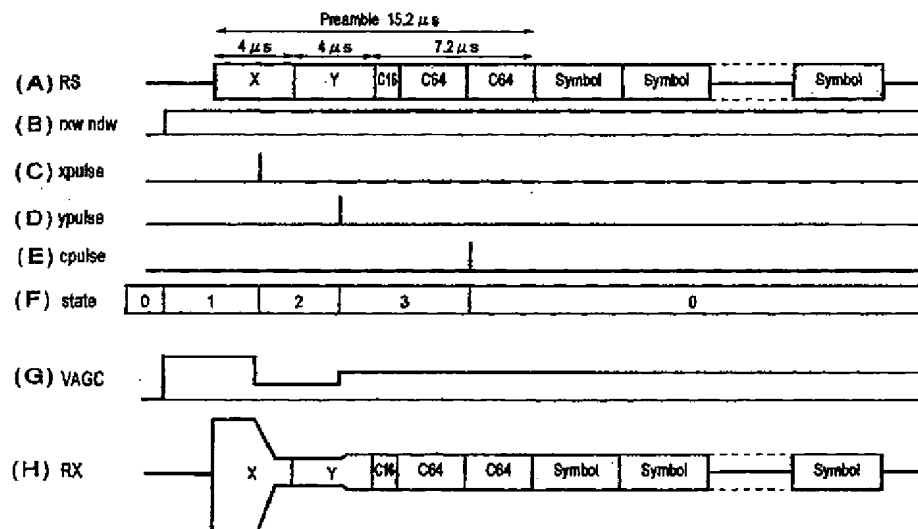
【図20】



【図24】



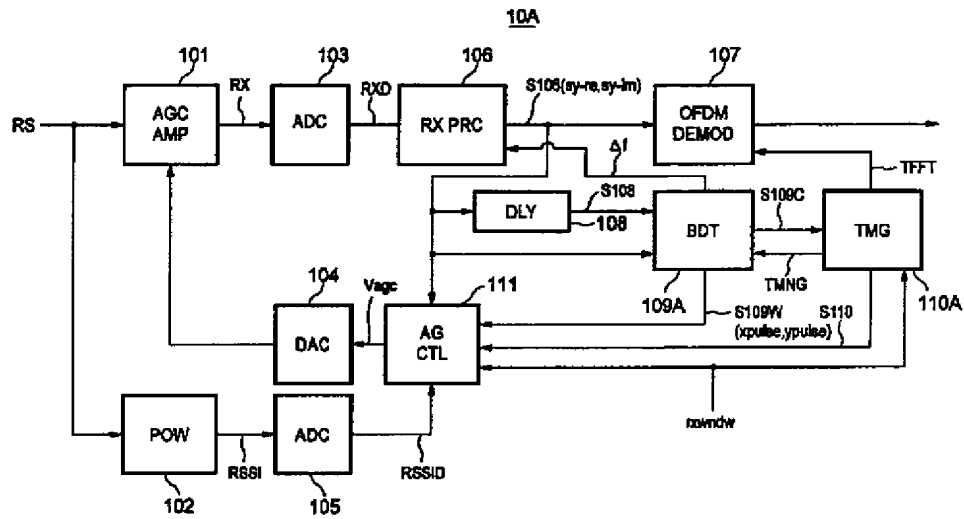
【图 25】



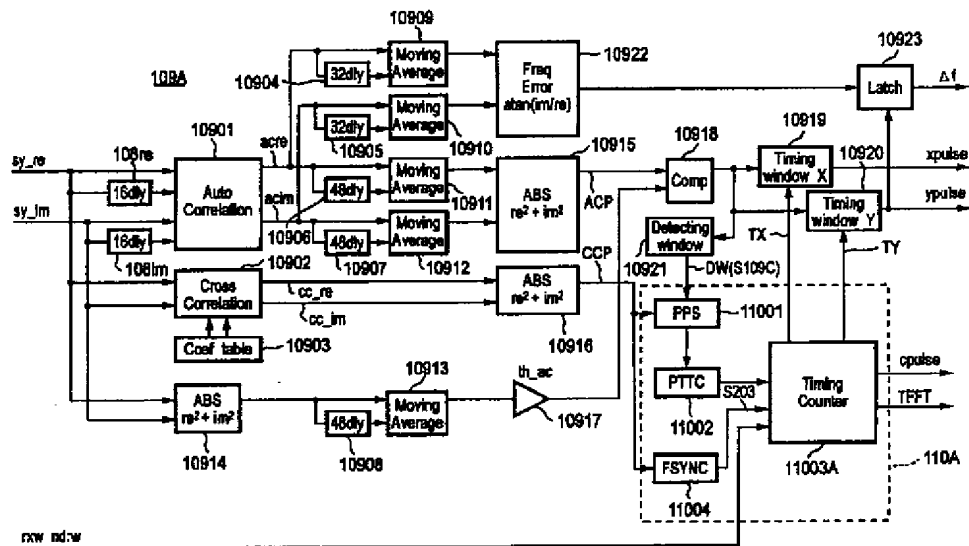
【圖 3 2】

case	ovf	nco[10]	ncoin[10]	ADJ 2	nco status
010	0	1	0	+1	ncoin > 0 & nco overflow
011	0	1	1	-1	ncoin < 0 & nco zero cross
100	1	0	0	+1	ncoin > 0 & nco zero cross
101	1	0	1	-1	ncoin < 0 & nco underflow
default	-	-	-	0	accumulating

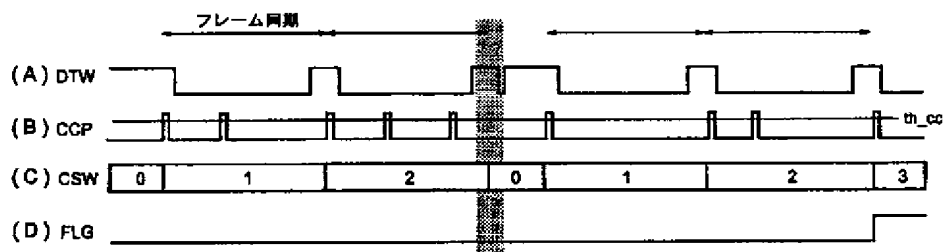
【図26】



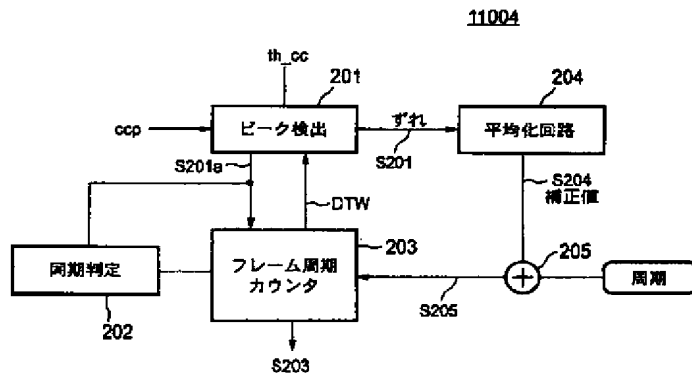
【図27】



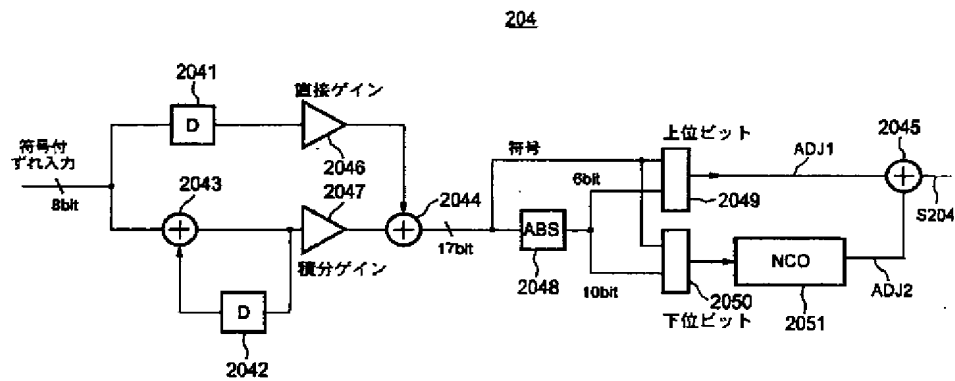
【図35】



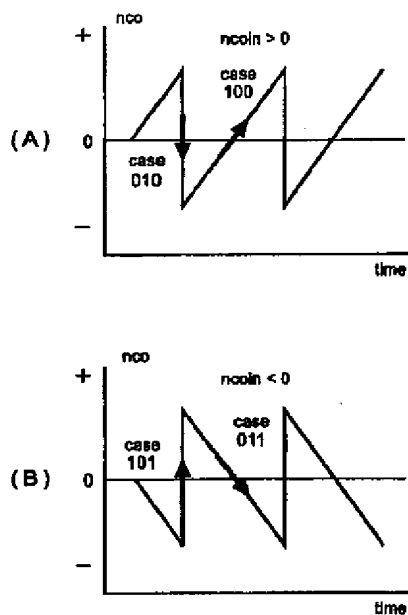
【図28】



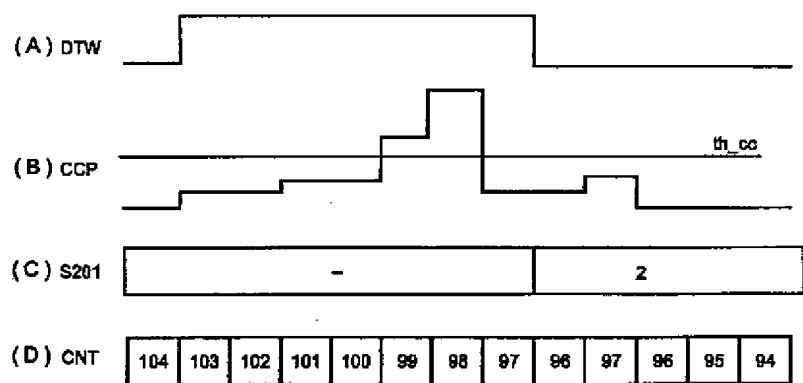
【図29】



【図31】



【図33】



【図34】

